

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
OSHIMA et al.)
)
Application Number: To Be Assigned)
)
Filed: Concurrently Herewith)
)
For: SEMICONDUCTOR DEVICE AND ITS)
FABRICATION METHOD)

11017 U.S. PTO

09/987914



11/16/01

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of November 29, 2000, the filing date of the corresponding Japanese patent application 2000-362462.

The certified copy of corresponding Japanese patent application 2000-362462 is being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,


Stanley P. Fisher

Registration Number 24,344

REED SMITH HAZEL & THOMAS LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200

JUAN CARLOS A. MARQUEZ
Registration No. 34,072

November 16, 2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1017 U.S. PTO
09/987914
11/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月29日

出 願 番 号

Application Number:

特願2000-362462

出 願 人

Applicant(s):

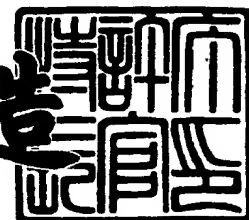
株式会社日立製作所



2001年 9月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3087798

【書類名】 特許願

【整理番号】 H00021621

【提出日】 平成12年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/88

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 大島 隆文

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 宮▲崎▼ 博史

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 青木 英雄

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 大森 一稔

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さいことを特徴とする半導体装置。

【請求項 2】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さく、前記第 1 絶縁層の比誘電率が、前記第 2 絶縁層の比誘電率よりも相対的に小さいことを特徴とする半導体装置。

【請求項 3】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さく、前記接続孔の孔径が約 $0.5 \mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 4】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第 1 絶縁層のヤング率が、前記配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さく、前記第 1 絶縁層と前記第 2 絶縁層との間に、相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 5】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置

であって、

前記接続孔が形成された第1絶縁層のヤング率が、前記配線溝が形成された第2絶縁層のヤング率よりも相対的に小さく、前記配線を構成する主導電層は銅であることを特徴とする半導体装置。

【請求項6】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層のヤング率は60GPa未満、前記配線溝が形成された第2絶縁層のヤング率は60GPa以上であることを特徴とする半導体装置。

【請求項7】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はSiOFで構成され、前記配線溝が形成された第2絶縁層はSiO₂で構成されることを特徴とする半導体装置。

【請求項8】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はSiOFで構成され、前記配線溝が形成された第2絶縁層はSiO₂で構成され、前記接続孔の孔径が約0.5μm以下であることを特徴とする半導体装置。

【請求項9】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はSiOFで構成され、前記配線溝が形成された第2絶縁層はSiO₂で構成され、前記第1絶縁層と前記第2絶縁層との間に、SiNまたはSiCからなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項10】 配線溝内に形成された配線と、前記配線とその下層配線と

を接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層のヤング率は30GPa未満、前記配線溝が形成された第2絶縁層のヤング率は30GPa以上であることを特徴とする半導体装置。

【請求項11】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料で構成され、前記配線溝が形成された第2絶縁層はSiOFまたはSiO₂で構成されることを特徴とする半導体装置。

【請求項12】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料で構成され、前記配線溝が形成された第2絶縁層はSiOFまたはSiO₂で構成され、前記接続孔の孔径が約0.2μm以下であることを特徴とする半導体装置。

【請求項13】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料で構成され、前記配線溝が形成された第2絶縁層はSiOFまたはSiO₂で構成され、前記第1絶縁層と前記第2絶縁層との間に、SiNまたはSiCからなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項14】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装

置であって、

前記接続孔が形成された第1絶縁層のヤング率は6 GPa未満、前記配線溝が形成された第2絶縁層のヤング率は6 GPa以上であることを特徴とする半導体装置。

【請求項15】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はポーラスHSQ系材料で構成され、前記配線溝が形成された第2絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料、あるいはSiO₂とSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層で構成されることを特徴とする半導体装置。

【請求項16】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はポーラスHSQ系材料で構成され、前記配線溝が形成された第2絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料、あるいはSiO₂とSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層で構成され、前記接続孔の孔径が約0.13 μm以下であることを特徴とする半導体装置。

【請求項17】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置であって、

前記接続孔が形成された第1絶縁層はポーラスHSQ系材料で構成され、前記配線溝が形成された第2絶縁層はSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料、あるいはSiO₂とSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層で構成され、前記第1絶縁層と前記第2絶縁層との間に、SiO

2からなる相対的に膜厚の薄いストッパ絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 1 8】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 9】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記第 1 絶縁層の比誘電率が、前記第 2 絶縁層の比誘電率よりも小さいことを特徴とする半導体装置の製造方法。

【請求項 2 0】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、

前記接続孔の孔径が約 $0.5 \mu\text{m}$ 以下であることを特徴とする半導体装置の製造方法。

【請求項 2 1】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記 (a) 工程で、前記第 1 絶縁層の上層に相対的に膜厚の薄いストッパ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストッパ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【請求項 2 2】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記 (c) 工程で前記接続孔および前記配線溝の内部に埋め込まれる主導電層は、銅であることを特徴とする半導体装置の製造方法。

【請求項 2 3】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にヤング率が 60 GPa 未満の第 1 絶縁層、およびヤング率が 60 GPa 以上の第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所

定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 4】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にヤング率が 6 0 G P a 未満の第 1 絶縁層、およびヤング率が 6 0 G P a 以上の第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記第 1 絶縁層および前記第 2 絶縁層は C V D 法で形成されることを特徴とする半導体装置の製造方法。

【請求項 2 5】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に S i O F で構成される第 1 絶縁層、および S i O₂ で構成される第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 6】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に S i O F で構成される第 1 絶縁層、および S i O₂ で構成される第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記接続孔の孔径が約 $0.5 \mu\text{m}$ 以下であることを特徴とする半導体装置の製造方法。

【請求項 27】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に SiO_2 で構成される第 1 絶縁層、および SiO_2 で構成される第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記 (a) 工程で、前記第 1 絶縁層の上層に相対的に膜厚の薄い SiN または SiC からなるストッパ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストッパ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【請求項 28】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にヤング率が 30 GPa 未満の第 1 絶縁層、およびヤング率が 30 GPa 以上の第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 29】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にヤング率が 30 GPa 未満の第 1 絶縁層、およびヤング率が 30 GPa 以上の第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記第 1 絶縁層は C V D 法または塗布法で形成され、前記第 2 絶縁層は C V D 法で形成されることを特徴とする半導体装置の製造方法。

【請求項 3 0】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に S i O C 系材料、C F 系材料、H S Q 系材料、M S Q 系材料、B C B 系材料または P A E 系材料で構成される第 1 絶縁層、および S i O F または S i O₂ で構成される第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 1】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に S i O C 系材料、C F 系材料、H S Q 系材料、M S Q 系材料、B C B 系材料または P A E 系材料で構成される第 1 絶縁層、および S i O F または S i O₂ で構成される第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記接続孔の孔径が約 0.2 μ m 以下であることを特徴とする半導体装置の製造方法。

【請求項 3 2】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に SiOC 系材料、 CF 系材料、 HSQ 系材料、 MSQ 系材料、 BCB 系材料または PAE 系材料で構成される第 1 絶縁層、および SiOF または SiO_2 で構成される第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記 (a) 工程で、前記第 1 絶縁層の上層に相対的に膜厚の薄い SiN または SiC からなるストッパ絶縁膜を形成し、前記 (b) 工程で、前記第 2 絶縁層および前記ストッパ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【請求項 3 3】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にヤング率が 6 GPa 未満の第 1 絶縁層、およびヤング率が 6 GPa 以上の第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 4】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にヤング率が 6 GPa 未満の第 1 絶縁層、およびヤング率が 6 GPa 以上の第 2 絶縁層を順次形成する工程と、

(b) 前記第 1 絶縁層の所定の領域に前記接続孔を形成し、前記第 2 絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記第 1 絶縁層は塗布法で形成され、前記第 2 絶縁層は CVD 法または塗布法で形成されることを特徴とする半導体装置の製造方法。

【請求項 3 5】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にポーラスHSQ系材料で構成される第1絶縁層、SiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料、あるいはSiO₂とSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層で構成される第2絶縁層を順次形成する工程と、

(b) 前記第1絶縁層の所定の領域に前記接続孔を形成し、前記第2絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 6】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にポーラスHSQ系材料で構成される第1絶縁層、SiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料、あるいはSiO₂とSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層で構成される第2絶縁層を順次形成する工程と、

(b) 前記第1絶縁層の所定の領域に前記接続孔を形成し、前記第2絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、前記接続孔の孔径が約0.13 μm以下であることを特徴とする半導体装置の製造方法。

【請求項 3 7】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する接続孔内に前記配線と一体に形成された接続部材とを有する半導体装置の製造方法であって、

(a) 基板上にポーラスHSQ系材料で構成される第1絶縁層、SiOC系材料

、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料、あるいはSiO₂とSiOC系材料、CF系材料、HSQ系材料、MSQ系材料、BCB系材料またはPAE系材料との積層で構成される第2絶縁層を順次形成する工程と、

(b) 前記第1絶縁層の所定の領域に前記接続孔を形成し、前記第2絶縁層の所定の領域に前記配線溝を形成する工程と、

(c) 前記接続孔および前記配線溝の内部に導電部材を埋め込む工程とを有し、
前記(a)工程で、前記第1絶縁層の上層に相対的に膜厚の薄いSiO₂からなるストッパ絶縁膜を形成し、前記(b)工程で、前記第2絶縁層および前記ストッパ絶縁膜の所定の領域に前記配線溝を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、いわゆるデュアルダマシン(dual-damascene)法を用いて形成された多層配線構造、およびそのような多層配線構造を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】

半導体装置の高性能化および微細化に伴い、多層配線技術は半導体装置製造において必要な技術となっている。半導体集積回路における配線層の形成法として、絶縁膜上にアルミニウム(Al)合金またはタングステン(W)等の高融点金属薄膜を成膜した後、リソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成する方法が知られている。しかし、このアルミニウム合金等を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線遅延が増加し、半導体装置の性能が低下する等の問題がある。特に、高性能なロジックLSI(large scale integrated circuit)においては、その性能阻害要因として大きな問題が生じている。

【 0 0 0 3 】

このため、絶縁膜に形成した溝上に銅（Cu）を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP（chemical mechanical polishing）法を用いて除去することにより溝内に配線パターンを形成する方法、いわゆるダマシン（damascene）法が検討されている。なかでも、上層配線が形成される配線溝および上層配線と下層配線とを接続する接続孔をそれぞれ絶縁膜に形成した後、上記接続孔および配線溝に同時に配線用金属を埋め込むデュアルダマシン法は、前記アルミニウム合金等を用いる方法に比べて、配線抵抗を約20%程度減らせることに加えて、大幅な製造工程の簡略化、低コスト化およびQ T A T（quick turn-and around time）化を実現することができる。

【 0 0 0 4 】

ところで、上記配線溝が形成される絶縁膜（以下、単に配線層間膜と略す）、および上記接続孔が形成される絶縁膜（以下、単にビア（via）層間膜と略す）には、それぞれエッチングストッパ膜およびシリコン酸化膜（SiO₂）が下層から順に堆積された積層構造が提案されている。シリコン酸化膜は、たとえばTEOS（tetra ethyl ortho silicate：Si(OC₂H₅)₄）ガスとオゾン（O₃）ガスとを用いたプラズマCVD（chemical vapor deposition）法で成膜されるTEOS酸化膜からなる。なお、絶縁膜をTEOS酸化膜で構成する場合は、エッチングストッパ膜として、通常プラズマCVD法で成膜されるシリコン窒化膜（SiN）が用いられる。

【 0 0 0 5 】

しかし、シリコン酸化膜の比誘電率は約4程度、シリコン窒化膜の比誘電率は約7程度であることから、デザインルールを0.13μmとする世代以降では、配線容量の増大に起因する配線遅延の急増を銅配線の導入だけでは抑えられないことが考えられた。そこで、配線層間膜を構成する材料として、比誘電率が2～3程度の低誘電率材料の採用が検討されている。

【 0 0 0 6 】

配線層間膜を低誘電率膜で構成することにより、シリコン酸化膜で構成した場合と比較して配線容量を低減することが可能となる。さらに所望する配線抵抗を

得るために必要な相対的に厚い配線を形成しても、配線層間膜が低誘電率膜で構成されているので、同層の隣接する配線間の配線容量を相対的に低く抑えることが可能となる。

【 0 0 0 7 】

なお、低誘電率材料からなる層間絶縁膜を適用したダマシン配線の形成方法としては、幾つかの方法が提案されており、たとえばプレスジャーナル発行「月刊セミコンダクターワールド (Semiconductor World)」1998年11月号、P 74～P 76には、デュアルダマシン配線に様々な低誘電率材料を採用した場合のエッチングプロセスについて述べられている。

【 0 0 0 8 】

また、辰巳の特開平8-316209号公報には、有機高分子系絶縁膜上に酸化シリコン系絶縁膜が形成された、低誘電率の積層絶縁膜に接続孔を開孔する際、酸化シリコン系絶縁膜をパターニング後、この酸化シリコン系絶縁膜パターンをマスクに下層の有機高分子系絶縁膜をO系ガスでプラズマエッチングする方法が開示されている。

【 0 0 0 9 】

また、鈴木らの特開平9-306988号公報には、下層配線を覆う第1絶縁膜上に、第1絶縁膜よりもエッチング速度が遅い第2絶縁膜を形成した後、第2絶縁膜に開孔部を形成し、次いで第2絶縁膜よりもエッチング速度が速い第3絶縁膜を形成する。その後、第3絶縁膜に開孔部を露出させる溝を形成しかつ開孔部下の第1絶縁膜に接続孔を形成する方法が開示されている。

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、配線層間膜を低誘電率膜で構成し、ビア層間膜をシリコン酸化膜で構成した銅デュアルダマシンについて本発明者が検討したところ、以下の様な問題点があることが明らかとなった。

【 0 0 1 1 】

たとえば室温から500℃程度の昇温によって接続孔内の接続部材である銅が熱膨張すると、接続孔を広げる方向に応力が発生する。しかし、ビア層間膜を構

成するシリコン酸化膜は、熱応力が約 1 3 0 M P a 程度、ヤング率が約 7 0 G P a 程度とそれぞれ相対的に大きく、弾性変形しにくいという特性がある。そのため、シリコン酸化膜は銅の応力に強く反発し、結果として、シリコン酸化膜は接続孔内の銅を圧縮する方向に応力を発生する。

【 0 0 1 2 】

銅の膨張による応力はビア層間膜であるシリコン酸化膜の応力と反発しあうため、接続孔内の膨張した銅の一部が配線溝内の配線部材である銅に吸収される。降温により体積収縮が起きると、接続孔内を満たすだけの銅が不足して接続孔内にボイドが発生する。これにより、熱ストレスを与えられた接続孔内の接続部材の抵抗が上昇し、さらにはエレクトロマイグレーションによって配線の寿命が低下する。

【 0 0 1 3 】

本発明の目的は、デュアルダマシン配線の耐熱性およびエレクトロマイグレーション耐性を向上することのできる技術を提供することにある。

【 0 0 1 4 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体装置は、配線溝内に形成された配線と、配線とその下層配線とを接続する接続孔内に配線と一体に形成された接続部材とを有し、接続孔が形成された第 1 絶縁層のヤング率が、配線溝が形成された第 2 絶縁層のヤング率よりも相対的に小さいものである。

(2) 本発明の半導体装置の製造方法は、配線溝内に形成された配線と、配線とその下層配線とを接続する接続孔内に配線と一体に形成された接続部材とを有する半導体装置を製造する際、基板上に相対的にヤング率の小さい第 1 絶縁層、および相対的にヤング率の大きい第 2 絶縁層を順次形成する工程と、第 1 絶縁層の

所定の領域に接続孔を形成し、第2絶縁層の所定の領域に配線溝を形成する工程と、接続孔および配線溝の内部に導電部材を埋め込む工程とを有するものである。

【0016】

上記した手段によれば、配線が埋め込まれた配線溝を相対的にヤング率の大きい第2絶縁層で取り囲み、配線とその下層配線とを接続する接続孔を相対的にヤング率の小さい第1絶縁層で取り囲むことにより、昇温において接続孔内で配線と一体に形成された接続部材の体積が膨張しても、これに追従した第1絶縁層の弾性変形が起こり、また第2絶縁層が配線の体積膨張に対して、これを抑える働きをすることから、接続孔内の接続部材が配線溝内の配線部材へ吸収されるのを抑制することができる。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】

なお、本願において、半導体装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、SOI (silicon on insulator) 基板やTFT (thin film transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0019】

さらに、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【0020】

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 2 1 】

(実施の形態 1)

図 1 は、本実施の形態 1 である半導体装置を示す半導体基板の要部断面図である。

【 0 0 2 2 】

半導体基板 1 の主面上の選択的な領域である素子分離領域 2 に囲まれて p ウェル 3 または n ウェル 4 が形成されている。素子分離領域 2 によって囲まれた活性領域 (p ウェル 3 および n ウェル 4) の表面にはゲート絶縁膜 5 が形成され、このゲート絶縁膜 5 の上には多結晶シリコンからなるゲート電極 6 が形成されている。ゲート電極 6 は、半導体基板 1 の上に多結晶シリコン膜およびキャップ絶縁膜 7 を順次堆積し、これらを順次エッチングして形成される。さらに、ゲート電極 6 の側壁にはサイドウォールスペーサ 8 が設けられている。

【 0 0 2 3 】

p ウェル 3 にはゲート電極 6 およびサイドウォールスペーサ 8 に対して自己整合的に形成された n 型半導体領域 9 が設けられている。この n 型半導体領域 9 は、n チャネル M I S F E T (metal insulator semiconductor field effect transistor) のソース、ドレインを構成する。同様に、n ウェル 4 にはゲート電極 6 およびサイドウォールスペーサ 8 に対して自己整合的に形成された p 型半導体領域 10 が設けられている。この p 型半導体領域 10 は、p チャネル M I S F E T のソース、ドレインを構成する。

【 0 0 2 4 】

なお、本実施の形態 1 における半導体装置では、半導体基板 1 に、たとえば A S I C (application specific integrated circuit) などの構成要素である C M O S (complimentary metal oxide semiconductor) デバイスを形成した形態であるが、半導体基板 1 にバイポーラトランジスタ、抵抗、容量素子などの種々

の半導体素子を形成した態様を採用することができる。

【0025】

また、nチャネルMISFETのソース、ドレインおよびpチャネルMISFETのソース、ドレインを相対的に低濃度な半導体領域と相対的に高濃度な半導体領域とからなるLDD (lightly doped drain) 構造としてもよい。

【0026】

さらに、nチャネルMISFETおよびpチャネルMISFET上は第1層間絶縁膜11で覆われている。n型半導体領域9またはp型半導体領域10上の第1層間絶縁膜11の必要部分には接続孔12が形成されており、接続孔12内には、たとえばタングステン膜からなるプラグ13が埋め込まれている。このプラグ13に接続して、たとえばタングステン膜からなる第1配線層の配線14が第1層間絶縁膜11上に形成されている。

【0027】

第1配線層の配線14の上層には、第2層間絶縁膜15が形成されている。第2層間絶縁膜15は、たとえばシリコン酸化膜で構成され、第2層間絶縁膜15の所定の領域に接続孔16が形成されている。接続孔16内には、たとえばバリアメタル層および主導電層である銅膜からなるプラグ17が埋め込まれている。バリアメタル層は、配線および接続部材の主成分である銅の拡散を防止するとともに、銅と絶縁膜との接着性を向上させる機能を有し、たとえば窒化チタン (TiN)、タンタル (Ta)、窒化タンタル (Ta₂N₅) 等である。

【0028】

プラグ17の上層には、ストッパ絶縁膜18、さらに配線形成用の絶縁膜19が形成されている。ストッパ絶縁膜18は、絶縁膜19への溝加工の際にエッチングストッパとなる膜であり、絶縁膜19に対してエッチング選択比を有する材料を用いる。ストッパ絶縁膜18は、たとえばシリコン窒化膜、絶縁膜19は、たとえばシリコン酸化膜である。ストッパ絶縁膜18および絶縁膜19には、上記プラグ17に達する配線溝20が形成されている。配線溝20内には、たとえばバリアメタル層および主導電層である銅膜からなる第2配線層の配線21が埋め込まれている。バリアメタル層は、たとえば窒化チタン、タンタル、窒化タン

タル等である。

【 0 0 2 9 】

第 2 配線層の配線 2 1 の上層には、キャップ絶縁膜 2 2、層間絶縁膜 2 3、配線形成用のストッパ絶縁膜 2 4、配線形成用の絶縁膜 2 5 が順次形成されている。キャップ絶縁膜 2 2 および層間絶縁膜 2 3 には、第 2 配線層の配線 2 1 に達する接続孔 2 6 が形成されており、ストッパ絶縁膜 2 4 および絶縁膜 2 5 には、第 3 配線層が埋め込まれる配線溝 2 7 が形成されている。上記接続孔 2 6 の孔径は、たとえば約 $0.25\ \mu\text{m}$ 程度である。

【 0 0 3 0 】

キャップ絶縁膜 2 2 は、層間絶縁膜 2 3 に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。シリコン窒化膜の比誘電率は約 7 程度と相対的に高いことから、配線容量を低減することを考慮すれば、シリコン窒化膜からなるキャップ絶縁膜 2 2 の膜厚はストッパ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。このような要求から、キャップ絶縁膜 2 2 の膜厚は、たとえば約 $50\ \text{nm}$ 程度とすることができる。

【 0 0 3 1 】

層間絶縁膜 2 3 は、絶縁膜 2 5 を構成する材料のヤング率よりも相対的に小さいヤング率を有する材料で構成され、たとえばヤング率が約 $50\ \text{GPa}$ 程度のフッ素 (F) が添加されたシリコン酸化 (SiO_F) 膜とすることができる。層間絶縁膜 2 3 の膜厚は、たとえば約 $500\ \text{nm}$ 程度とすることができる。

【 0 0 3 2 】

ストッパ絶縁膜 2 4 は、絶縁膜 2 5 または層間絶縁膜 2 3、あるいはこれら両者に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。上記キャップ絶縁膜と同様に、シリコン窒化膜の比誘電率は約 7 程度と相対的に高いことから、配線容量を低減することを考慮すれば、シリコン窒化膜からなるストッパ絶縁膜 2 4 の膜厚はストッパ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。このような要求から、ストッパ絶縁膜 2 4 の膜厚は、たとえば約 $25\ \text{nm}$ 程度とすることができる。

【 0 0 3 3 】

絶縁膜 2 5 は、たとえばヤング率が約 7 0 G P a 程度のシリコン酸化膜とすることができる。ストッパ絶縁膜 2 4 と絶縁膜 2 5 には第 3 配線層が埋め込まれる配線溝 2 7 が形成されるため、その合計膜厚は第 3 配線層に必要な設計膜厚で決められ、絶縁膜 2 5 の膜厚は、たとえば約 2 0 0 n m 程度とすることができる。

【 0 0 3 4 】

接続孔 2 6 および配線溝 2 7 の内部には第 3 配線層の配線 2 8 が形成されており、この配線 2 8 と第 2 配線層の配線 2 1 とを接続する接続孔 2 6 の内部に埋め込まれた接続部材は、配線 2 8 と一体に形成されている。すなわち、第 3 配線層の配線 2 8 は、デュアルダマシン法を用いて形成されている。配線部材および接続部材は、たとえばバリアメタル層 2 9 および主導電層である銅膜からなり、バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等である。

【 0 0 3 5 】

ここで、第 2 配線層の配線 2 1 と第 3 配線層の配線 2 8 とを接続するための接続孔 2 6 を取り囲む層間絶縁膜 2 3 は、ヤング率が約 5 0 G P a 程度の S i O F 膜からなり、第 3 配線層の配線 2 8 が埋め込まれた配線溝 2 7 を取り囲む絶縁膜 2 5 は、ヤング率が約 7 0 G P a 程度のシリコン酸化膜からなり、絶縁膜 2 5 のヤング率と比較して約 2 0 G P a 程度小さいヤング率を有する絶縁材料で層間絶縁膜 2 3 は構成される。これにより、たとえば室温から 5 0 0 ° C 程度の昇温において銅の体積が膨張しても、これに追従して層間絶縁膜 2 3 が弾性変形し、一方で絶縁膜 2 5 が銅の体積膨張を抑える働きをすることから、接続孔 2 6 の内部の銅が配線溝 2 7 の内部の銅へ吸収されるのを抑制することができる。

【 0 0 3 6 】

また、層間絶縁膜 2 3 を構成する S i O F 膜は、比誘電率が約 3 . 6 程度と、シリコン酸化膜の比誘電率（約 4 . 3 程度）と比較して小さいことから、層間絶縁膜 2 3 および絶縁膜 2 5 の両方にシリコン酸化膜を用いる構造よりも、配線容量を低減することができる。

【 0 0 3 7 】

第 3 配線層の配線 2 8 の上層には、キャップ絶縁膜 3 0 、層間絶縁膜 3 1 、配線形成用のストッパ絶縁膜 3 2 、配線形成用の絶縁膜 3 3 が順次形成されている

。これらの絶縁膜 3 0 ~ 3 3 については、各々前記ストッパ絶縁膜 2 2、層間絶縁膜 2 3、配線形成用のストッパ絶縁膜 2 4、配線形成用の絶縁膜 2 5 と同様であり、層間絶縁膜 3 1 は、たとえば膜厚約 5 0 0 n m 程度の S i O F 膜、絶縁膜 3 3 は、たとえば膜厚約 2 0 0 n m 程度のシリコン酸化膜で構成される。また、キャップ絶縁膜 3 0 および層間絶縁膜 3 1 に接続孔 3 4、ストッパ絶縁膜 3 2 および絶縁膜 3 3 に配線溝 3 5 が形成されている。上記接続孔 3 4 の孔径は、たとえば約 0.25 μ m 程度である。さらに、接続部材と一体に形成された第 4 配線層の配線 3 6 が形成されている。第 4 配線層の配線 3 6 は、第 3 配線層の配線 2 8 と同様に、たとえばバリアメタル層および主導電層である銅膜からなる。

【 0 0 3 8 】

たとえば室温から 5 0 0 °C 程度の昇温において銅の体積が膨張しても、これに追従して層間絶縁膜 3 1 が弾性変形し、一方で絶縁膜 3 3 が銅の体積膨張を抑える働きをすることから、接続孔 3 4 の内部の銅が配線溝 3 5 の内部の銅へ吸収されるのを抑制することができる。また、層間絶縁膜 3 1 および絶縁膜 3 3 の両方にシリコン酸化膜を用いる構造よりも、配線容量を低減することができる。

【 0 0 3 9 】

第 4 配線層の配線 3 6 の上層には、キャップ絶縁膜 3 7、層間絶縁膜 3 8、配線形成用のストッパ絶縁膜 3 9、配線形成用の絶縁膜 4 0 が順次形成されている。これらの絶縁膜 3 7 ~ 4 0 については、各々前記ストッパ絶縁膜 2 2、層間絶縁膜 2 3、配線形成用のストッパ絶縁膜 2 4、配線形成用の絶縁膜 2 5 と同様であり、層間絶縁膜 3 8 は、たとえば膜厚約 5 0 0 n m 程度の S i O F 膜、絶縁膜 3 3 は、たとえば膜厚約 2 0 0 n m 程度のシリコン酸化膜で構成される。また、キャップ絶縁膜 3 7 および層間絶縁膜 3 8 に接続孔 4 1、ストッパ絶縁膜 3 9 および絶縁膜 4 0 に配線溝 4 2 が形成されている。上記接続孔 4 1 の孔径は、たとえば約 0.5 μ m 程度である。さらに、接続部材と一体に形成された第 5 配線層の配線 4 3 が形成されている。第 5 配線層の配線 4 3 は、第 3 配線層の配線 2 8 と同様に、たとえばバリアメタル層および主導電層である銅膜からなる。

【 0 0 4 0 】

たとえば室温から 5 0 0 °C 程度の昇温において銅の体積が膨張しても、これに

追従して層間絶縁膜 3 8 が弾性変形し、一方で絶縁膜 4 0 が銅の体積膨張を抑える働きをすることから、接続孔 4 1 の内部の銅が配線溝 4 2 の内部の銅へ吸収されるのを抑制することができる。また、層間絶縁膜 3 8 および絶縁膜 4 0 の両方にシリコン酸化膜を用いる構造よりも、配線容量を低減することができる。

【 0 0 4 1 】

第 5 配線層の配線 4 3 の上層には、絶縁膜 4 4 が形成され、絶縁膜 4 4 の必要部分には接続孔 4 5 が開孔している。この接続孔 4 5 の孔径は、たとえば約 0.75 μm 程度である。接続孔 4 5 内には、たとえばタングステン膜からなるプラグ 4 6 が埋め込まれおり、このプラグ 4 6 を介して絶縁膜 4 4 上の第 6 配線層の配線 4 7 が第 5 配線層の配線 4 3 に接続されている。さらに、パッシベーション膜 4 8 で半導体基板 1 の全面が覆われている。

【 0 0 4 2 】

【表 1】

表 1

世代		比較例	第 1 世代		
配線層間膜 (ヤング率: Y2)		SiO ₂ (70GPa)	SiO ₂ (70GPa)		
ビア層間膜 (ヤング率: Y1)		SiO ₂ (70GPa)	SiOF (50GPa)		
ストッパ絶縁膜		SiN	SiN	SiC	なし
接続孔の孔径: R		0.25 μm	0.25 μm		
指標	R/Y1	3.6	5.0		
	Y2-Y1	0	20		
配線容量		4.7	4.5	4.2	4.0

【 0 0 4 3 】

表 1 に、本実施の形態 1 におけるデュアルダマシン構造の各々の絶縁膜材料および評価指標等をまとめる。また、図 2 に、本実施の形態 1 を適用したデュアルダマシン配線の要部平面図の一例を示し、図 3 ～ 図 7 に、前記図 2 の A - A' 線

における半導体基板の要部断面図を用いたデュアルダマシン配線の製造方法の一例を示す。本実施の形態 1 では、第 1 世代として上下配線層をつなぐ接続孔の孔径が、約 $0.5 \mu\text{m}$ 以下のデュアルダマシン配線に適用される各々の絶縁材料を示しており、配線層間膜はヤング率が 60 GPa 以上の絶縁材料、ビア層間膜はヤング率が 60 GPa 未満の絶縁材料であって、共に CVD 法で形成される絶縁材料で構成される。表 1 および図 3 ～ 図 7 には、配線層間膜をヤング率が約 70 GPa 程度のシリコン酸化膜、ビア層間膜をヤング率が約 50 GPa 程度の SiO_2 膜としたデュアルダマシン配線（前記図 1 に示した半導体装置では、第 3 配線層～第 5 配線層）を例示している。

【 0 0 4 4 】

なお、この評価指標等をまとめるにあたり、接続孔の孔径が $0.25 \mu\text{m}$ のデュアルダマシン配線を用いたが、 $0.25 \mu\text{m}$ 以外の孔径の接続孔を有するデュアルダマシン配線にも適用できることは言うまでもない。

【 0 0 4 5 】

表 1 における指標： R/Y_1 は、接続孔の孔径 R をビア層間膜のヤング率 Y_1 で割った値である。その逆数の Y_1/R は、接続孔を取り囲むビア層間膜が接続孔を締め付ける圧力に対応しており、 Y_1/R が小さい程、すなわち R/Y_1 が大きい程、配線の劣化を抑えることができる。指標： $Y_2 - Y_1$ は、配線層間膜のヤング率 Y_2 とビア層間膜のヤング率 Y_1 との差である。 $Y_2 - Y_1$ は、配線層間膜とビア層間膜との配線に対する圧力差に対応しており、この値が大きい程、配線の劣化を抑えることができる。すなわち、指標： R/Y_1 および $Y_2 - Y_1$ は、共に大きい程、デュアルダマシン配線の劣化を抑制できると考えられる。なお、比較例として、配線層間膜をシリコン酸化膜、ビア層間膜をシリコン酸化膜で構成したデュアルダマシン構造を表 1 に挙げる。

【 0 0 4 6 】

表 1 に示すように、ビア層間膜を SiO_2 膜で構成することにより、指標： R/Y_1 は比較例の 3.6 から 5.0 へ増加し、指標： $Y_2 - Y_1$ は比較例の 0 から 20 へ増加する。これにより、第 1 世代のデュアルダマシン構造において、比較例よりもデュアルダマシン配線の劣化を抑制できると考えられる。さらに、配線

容量を比較例の 4.7 から 4.5 へ低減することができる。

【0047】

次に、図 3～図 7 に示した半導体基板の要部断面図を用いて、デュアルダマシ
ン配線の製造方法について説明する。

【0048】

まず、図 3 に示すように、下層配線の上層にキャップ絶縁膜を構成するシリコ
ン窒化膜、層間絶縁膜を構成するヤング率が約 50 GPa 程度の SiOF 膜、配
線形成用のストッパ絶縁膜を構成するシリコン窒化膜、配線形成用の絶縁膜を構
成するヤング率が約 70 GPa 程度のシリコン酸化膜を順次形成する。キャップ
絶縁膜および層間絶縁膜には、後の工程で接続孔が形成され、ストッパ絶縁膜お
よび絶縁膜には、後の工程で配線溝が形成される。

【0049】

キャップ絶縁膜を構成するシリコン窒化膜は、たとえばプラズマ CVD 法によ
って形成され、比誘電率は約 7 程度である。その膜厚は、たとえば約 50 nm 程
度とすることができる。配線容量を低減することを考慮すれば、相対的に比誘電
率の高いシリコン窒化膜の膜厚はストッパ機能を達するに十分な膜厚であればで
きるだけ薄いことが望ましい。

【0050】

層間絶縁膜を構成する SiOF 膜は、たとえば CVD 法によって形成され、比
誘電率は約 3.6 程度、ヤング率は約 50 GPa 程度である。その膜厚は、たと
えば約 500 nm 程度とすることができる。

【0051】

ストッパ絶縁膜を構成するシリコン窒化膜は、たとえばプラズマ CVD 法によ
って形成され、比誘電率は約 7 程度である。その膜厚は、たとえば約 25 nm 程
度とすることができる。配線容量を低減することを考慮すれば、相対的に比誘電
率の高いシリコン窒化膜の膜厚はストッパ機能を達するに十分な膜厚であればで
きるだけ薄いことが望ましい。

【0052】

絶縁膜を構成するシリコン酸化膜は、たとえば CVD 法によって形成され、比

誘電率は約4.3程度、ヤング率は約70GPa程度である。その膜厚は、たとえば約200nm程度とすることができる。ストッパ絶縁膜（シリコン窒化膜）と絶縁膜（シリコン酸化膜）には上層配線が埋め込まれる配線溝が形成されるため、その合計膜厚は上層配線に必要な設計膜厚で決められる。

【0053】

次に、キャップ絶縁膜（シリコン窒化膜）および層間絶縁膜（SiOF膜）に接続孔を、ストッパ絶縁膜（シリコン窒化膜）および絶縁膜（シリコン酸化膜）に配線溝を形成する。デュアルダマシン法による接続孔および配線溝の形成方法として、たとえば以下の方法を例示することができる。

【0054】

まず、図4に示すように、層間絶縁膜（SiOF膜）に接続孔を形成する。形成される接続孔の孔径は、たとえば約0.25 μ m程度である。この接続孔の形成は、孔パターンにパターニングされたフォトレジスト膜PR1を絶縁膜（シリコン酸化膜）上に形成し、このフォトレジスト膜PR1をマスクとして、たとえばドライエッチング法により絶縁膜（シリコン酸化膜）、ストッパ絶縁膜（シリコン窒化膜）および層間絶縁膜（SiOF膜）を順次エッチングする。この際、キャップ絶縁膜（シリコン窒化膜）はエッチングストッパ層として機能する。これら絶縁材料は、CVD法で成膜された無機絶縁膜であることから、従来のドライエッチング法の延長線上のプロセス技術を適用することができる。

【0055】

次に、フォトレジスト膜PR1を除去した後、図5に示すように、接続孔の形成と同様に、溝パターンにパターニングされたフォトレジスト膜PR2を絶縁膜（シリコン酸化膜）上に形成し、このフォトレジスト膜PR2をマスクとして、たとえばドライエッチング法により絶縁膜（シリコン酸化膜）をエッチングする。この際、ストッパ絶縁膜（シリコン窒化膜）はエッチングストッパ層として機能する。その後、露出しているストッパ絶縁膜（シリコン窒化膜）をエッチング除去する。

【0056】

次に、接続孔および配線溝の内部に、バリアメタル層および主導電層である銅

膜からなる上層配線を形成する。この上層配線と下層配線とを接続する接続部材は、上層配線と一体に形成される。上層配線の形成方法として、たとえば以下の方法を例示することができる。

【 0 0 5 7 】

まず、フォトレジスト膜 P R 2 を除去する。その後、図 6 に示すように、接続孔の底部に露出しているキャップ絶縁膜（シリコン窒化膜）をエッチング除去し、次いでバリアメタル層 B L を形成する。バリアメタル層 B L は、たとえば窒化チタン、タンタル、窒化タンタル等である。次に、バリアメタル層 B L 上にシード層（図示せず）を形成する。シード層は、銅のメッキ層を形成するための種（シード）となる層であり、銅で構成される。シード層の形成には、たとえば C V D 法またはスパッタ法が用いられる。

【 0 0 5 8 】

次いで、銅のメッキ層 M L を形成する。メッキ法は電解メッキ、無電解めっきのいずれの方法を用いてもよい。メッキ層 M L の膜厚は基板平面上で約 6 0 0 n m 程度とする。これにより接続孔および配線溝を同時に埋め込む。なお、メッキ法による銅膜（メッキ層 M L ）の形成に換えて、スパッタ法により銅膜を形成してもよい。この場合、上記シード層は必要ではない。スパッタ法により銅膜を形成する場合には、接続孔および配線溝に銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。

【 0 0 5 9 】

次に、図 7 に示すように、CMP 法を用いてメッキ層 M L およびシード層を研磨する。さらに研磨を継続し、絶縁膜（シリコン酸化膜）上のバリアメタル層 B L も除去する。これにより配線溝の領域以外のバリアメタル層 B L および銅膜（メッキ層 M L およびシード層）が除外されて、接続部材と一体に形成された上層配線が形成される。

【 0 0 6 0 】

図 8 に、本実施の形態 1 におけるデュアルダマシン配線の第 1 の変形例を示す。ストッパ絶縁膜は、配線層間膜（シリコン酸化膜）またはビア層間膜（S i O F 膜）、あるいはこれら両者に対してエッチング選択比を有する材料で構成され

、前記図 1 および図 7 に示したデュアルダマシン配線では、シリコン窒化膜が例示された。しかし、シリコン窒化膜の比誘電率は約 7 程度と相対的に高いことから、配線容量を低減することを考慮すれば、比誘電率が相対的に低く、かつストップパ機能を有する絶縁膜であることが望ましい。図 8 には、配線層間膜をシリコン酸化膜、ビア層間膜を SiO_2 膜とし、比誘電率が約 4 程度の SiC 膜をストップパ絶縁膜に用いたデュアルダマシン構造を示す。ストップパ絶縁膜を SiC 膜で構成することにより、ストップパ絶縁膜をシリコン窒化膜で構成した場合よりも配線容量を 4.5 から 4.2 へと低減することができる。

【0061】

さらに、図 9 に、本実施の形態 1 におけるデュアルダマシン配線の第 2 の変形例を示す。ここでは、ストップパ絶縁膜を用いずに配線容量を低減したデュアルダマシン配線が示されている。ストップパ絶縁膜を用いないことにより、シリコン窒化膜からなるストップパ絶縁膜を用いた場合よりも配線容量を 4.5 から 4.0 へと低減することができる。

【0062】

次に、前記図 1 に示した本実施の形態 1 の半導体装置の製造方法の一例を図 10 ～ 図 20 に示した半導体基板の要部断面図を用いて工程順に説明する。

【0063】

まず、図 10 に示すように、たとえば p -型の単結晶シリコンからなる半導体基板 1 を用意し、半導体基板 1 の主面に素子分離領域 2 を形成する。素子分離領域 2 は、たとえば以下のようにして形成できる。まず、半導体基板 1 の主面上にシリコン酸化膜およびシリコン窒化膜を順次形成し、このシリコン窒化膜をパターンニングされたフォトリソ膜を用いてエッチングし、このエッチングされたシリコン窒化膜をマスクとして半導体基板 1 に浅溝を形成する。その後、浅溝を埋め込む絶縁膜、たとえばシリコン酸化膜を堆積し、CMP 法等を用いて浅溝以外の領域のシリコン酸化膜を除去し、さらにウェットエッチング法等によりシリコン窒化膜を除去する。これより素子分離領域 2 が形成される。

【0064】

次に、パターンニングされたフォトリソ膜をマスクとして不純物をイオン注

入し、pウェル3およびnウェル4を形成する。pウェル3にはp型の導電型を示す不純物、たとえばボロン(B)をイオン注入し、nウェル4にはn型の導電型を示す不純物、たとえばリン(P)をイオン注入する。この後、各ウェル領域にMISFETのしきい値を制御するための不純物をイオン注入してもよい。

【0065】

次に、ゲート絶縁膜5となるシリコン酸化膜、ゲート電極6となる多結晶シリコン膜およびキャップ絶縁膜7となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターニングされたフォトレジスト膜をマスクとして前記積層膜をエッチングする。これにより、ゲート絶縁膜5、ゲート電極6およびキャップ絶縁膜7を形成する。ゲート絶縁膜は、たとえば熱CVD法により形成することができ、ゲート電極6はCVD法により形成することができる。ゲート電極6の抵抗値を低減するためにn型またはp型の不純物をMISFETのチャネル型に応じてドーピングしてもよい。すなわち、nチャネルMISFETのゲート電極にはn型不純物を、pチャネルMISFETのゲート電極にはp型不純物をドーピングしてもよい。この場合イオン注入法を用いることができる。なお、ゲート電極6の上部に WSi_x 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ などの高融点金属シリサイド膜を積層してもよく、窒化チタン、窒化タングステン(WN)等のバリアメタル層を介してタングステン等の金属層を形成してもよい。これによりゲート電極6のシート抵抗値を低減し、MISFETの動作速度を向上できる。キャップ絶縁膜7は、たとえばCVD法により堆積することができる。

【0066】

次に、半導体基板1上に、たとえばCVD法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極6の側壁にサイドウォールスペーサ8を形成する。その後、フォトレジスト膜をマスクとして、pウェル3にn型不純物(たとえばリン、ヒ素(As))をイオン注入し、pウェル3上のゲート電極6の両側にn型半導体領域9を形成する。n型半導体領域9は、ゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成される。また、n型半導体領域9は、nチャネルMISFETのソース、ドレイン領域として機能する。同様に、フォトレジスト膜をマスクとして、nウェ

ル 4 に p 型不純物（たとえばフッ化ボロン（ BF_2 ））をイオン注入し、n ウェル 4 上のゲート電極 6 の両側に p 型半導体領域 1 0 を形成する。p 型半導体領域 1 0 は、ゲート電極 6 およびサイドウォールスペーサ 8 に対して自己整合的に形成され、p チャネル MISFET のソース、ドレイン領域として機能する。

【 0 0 6 7 】

なお、サイドウォールスペーサ 8 の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ 8 の形成後に高濃度の不純物半導体領域を形成して、いわゆる LDD 構造としてもよい。

【 0 0 6 8 】

次に、図 1 1 に示すように、半導体基板 1 上にスパッタ法または CVD 法でシリコン酸化膜を堆積した後、そのシリコン酸化膜を、たとえば CMP 法で研磨することにより、表面が平坦化された第 1 層間絶縁膜 1 1 を形成する。第 1 層間絶縁膜 1 1 は、シリコン窒化膜、SOG (spin on glass) 膜、BPSG (boron phosphor silicate glass) 膜、PSG (phosphor silicate glass) 膜等の積層膜で形成してもよい。

【 0 0 6 9 】

次に、フォトリソグラフィ技術を用いて第 1 層間絶縁膜 1 1 に接続孔 1 2 を形成する。この接続孔 1 2 は、n 型半導体領域 9 または p 型半導体領域 1 0 上などの必要部分に形成する。

【 0 0 7 0 】

次に、接続孔 1 2 内にプラグ 1 3 を、たとえば以下のようにして形成する。まず、接続孔 1 2 の内部を含む半導体基板 1 の全面に窒化チタン膜を、たとえば CVD 法で形成し、さらに接続孔 1 2 を埋め込むタンゲステン膜を、たとえば CVD 法で形成する。その後、接続孔 1 2 以外の領域の窒化チタン膜およびタンゲステン膜を、たとえば CMP 法により除去してプラグ 1 3 を形成する。なお、窒化チタン膜の形成前に、たとえばチタン (Ti) 膜を堆積し、熱処理を行って接続孔 1 2 の底部における半導体基板 (n 型半導体領域 9 または p 型の半導体領域 1 0) をシリサイド化してもよい。このようなシリサイド層を形成することにより、接続孔 1 2 底部でのコンタクト抵抗を低減できる。

【 0 0 7 1 】

次に、半導体基板 1 の全面に、たとえばタングステン膜を形成し、このタングステン膜をパターンニングし、第 1 配線層の配線 1 4 を形成する。タングステン膜は、CVD 法またはスパッタ法により形成できる。

【 0 0 7 2 】

次に、図 1 2 に示すように、配線 1 4 を覆う絶縁膜、たとえばシリコン酸化膜を形成した後、その絶縁膜を、たとえば CMP 法で研磨することにより、表面が平坦化された第 2 層間絶縁膜 1 5 を形成する。次いで、フォトリソグラフィ技術を用いて第 2 層間絶縁膜 1 5 の所定の領域に接続孔 1 6 を形成する。

【 0 0 7 3 】

次に、接続孔 1 6 内にプラグ 1 7 を、たとえば以下のようにして形成する。まず、接続孔 1 6 の内部を含む半導体基板 1 の全面にバリアメタル層を形成し、さらに接続孔 1 6 を埋め込む銅膜を形成する。バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等であり、たとえば CVD 法で形成する。銅膜は主導電層として機能し、たとえばメッキ法で形成できる。メッキ法による銅膜の形成前に、たとえば CVD 法またはスパッタ法によりシード層として薄い銅膜を形成できる。その後、接続孔 1 6 以外の領域の銅膜およびバリアメタル層を、たとえば CMP 法により除去してプラグ 1 7 を形成する。

【 0 0 7 4 】

次に、図 1 3 に示すように、第 2 層間絶縁膜 1 5 およびプラグ 1 7 上にストッパ絶縁膜 1 8 を形成し、さらに配線形成用の絶縁膜 1 9 を形成する。ストッパ絶縁膜 1 8 は、絶縁膜 1 9 への溝加工の際にエッチングストッパとなる膜であり、絶縁膜 1 9 に対してエッチング選択比を有する材料を用いる。ストッパ絶縁膜 1 8 は、たとえばシリコン窒化膜とし、絶縁膜 1 9 は、たとえばシリコン酸化膜とする。なお、ストッパ絶縁膜 1 8 と絶縁膜 1 9 には次に説明する第 2 層配線が形成される。このため、その合計膜厚は第 2 配線層に必要な設計膜厚で決められる。また、配線容量を低減することを考慮すれば、相対的に比誘電率の高いシリコン窒化膜からなるストッパ絶縁膜 1 8 の膜厚はストッパ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。次いで、フォトリソグラフィ技術を

用いてストッパ絶縁膜 1 8 および絶縁膜 1 9 の所定の領域に配線溝 2 0 を形成する。

【 0 0 7 5 】

次に、配線溝 2 0 の内部に第 2 配線層の配線 2 1 を形成する。配線 2 1 は、バリアメタル層および主導電層である銅膜からなり、バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等である。配線 2 1 の形成は、たとえば以下のようにして行う。まず、配線溝 2 0 の内部を含む半導体基板 1 の全面にバリアメタル層を形成し、さらに配線溝 2 0 を埋め込む銅膜を形成する。バリアメタル層の形成には、たとえば C V D 法を、銅膜の形成には、たとえばメッキ法を用いる。メッキ法による銅膜の形成前に、たとえば C V D 法またはスパッタ法により銅のシード層を形成できる。その後、配線溝 2 0 以外の領域の銅膜およびバリアメタル層を、たとえば C M P 法により除去して配線 2 1 を形成する。

【 0 0 7 6 】

次に、デュアルダマシン法により第 3 配線層を形成する。まず、図 1 4 に示すように、絶縁膜 1 9 および第 2 配線層の配線 2 1 上にキャップ絶縁膜 2 2、層間絶縁膜 2 3、配線形成用のストッパ絶縁膜 2 4、配線形成用の絶縁膜 2 5 を順次形成する。

【 0 0 7 7 】

キャップ絶縁膜 2 2 および層間絶縁膜 2 3 には、後に説明するように接続孔 2 6 が形成される。キャップ絶縁膜 2 2 は、層間絶縁膜 2 3 に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。シリコン窒化膜は、たとえばプラズマ C V D 法によって形成され、比誘電率は約 7 程度である。キャップ絶縁膜 2 2 の膜厚は、たとえば約 5 0 n m 程度とすることができる。

【 0 0 7 8 】

層間絶縁膜 2 3 は、前述したように絶縁膜 2 5 を構成する材料のヤング率よりも約 2 0 G P a 程度小さいヤング率を有する材料で構成される。層間絶縁膜 2 3 は、たとえばヤング率が約 5 0 G P a 程度の S i O F 膜からなり、その膜厚は、たとえば約 5 0 0 n m 程度とすることができる。S i O F 膜は、たとえば C V D

法によって形成される。

【0079】

ストッパ絶縁膜 2 4 および絶縁膜 2 5 には、後に説明するように配線溝 2 7 が形成される。ストッパ絶縁膜 2 4 は、絶縁膜 2 5（後述する接続孔の形成方法である第 2 の方法では絶縁膜 2 5 および層間絶縁膜 2 3）に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。シリコン窒化膜は、たとえばプラズマ C V D 法によって形成され、比誘電率は約 7 程度である。ストッパ絶縁膜 2 4 の膜厚は、たとえば約 2 5 n m 程度とすることができる。

【0080】

絶縁膜 2 5 は、たとえばヤング率が約 7 0 G P a 程度のシリコン酸化膜からなり、その膜厚は、たとえば約 2 0 0 n m 程度とすることができる。上記シリコン酸化膜は、たとえば原料ガスとして T E O S ガスとオゾンガスとを用いたプラズマ C V D 法で形成された T E O S 酸化膜で構成され、比誘電率は約 4 . 3 程度である。なお、ストッパ絶縁膜 2 4 と絶縁膜 2 5 には次に説明する第 3 配線層が埋め込まれる配線溝が形成される。このため、その合計膜厚は第 3 配線層に必要な設計膜厚で決められる。

【0081】

次に、図 1 5 に示すように、キャップ絶縁膜 2 2 および層間絶縁膜 2 3 に接続孔 2 6 を、ストッパ絶縁膜 2 4 および絶縁膜 2 5 に配線溝 2 7 を形成する。デュアルダマシン法による接続孔 2 6 および配線溝 2 7 は、たとえば以下のように形成できる。

【0082】

まず、配線 2 1 上に形成されたキャップ絶縁膜 2 2 および層間絶縁膜 2 3 に、配線 2 1 に到達する深い接続孔 2 6 を形成する。この接続孔 2 6 の形成は、孔パターンにパターニングされたフォトリソ膜を絶縁膜 2 5 上に形成し、このフォトリソ膜をマスクとして、たとえばドライエッチング法により絶縁膜 2 5、ストッパ絶縁膜 2 4、層間絶縁膜 2 3 およびキャップ絶縁膜 2 2 を順次エッチングする。形成される接続孔 2 6 の孔径は、たとえば約 0 . 2 5 μ m 程度である

【 0 0 8 3 】

次に、レジスト等でこの接続孔 2 6 を埋め込み、その後、絶縁膜 2 5 およびストッパ絶縁膜 2 4 に配線溝 2 7 を形成する。配線溝 2 7 の形成は、接続孔 2 6 の形成と同様に、溝パターンにパターニングされたフォトレジスト膜を絶縁膜 2 5 上に形成し、このフォトレジスト膜をマスクとして、たとえばドライエッチング法により絶縁膜 2 5 およびストッパ絶縁膜 2 4 を順次エッチングする。

【 0 0 8 4 】

次に、接続孔 2 6 および配線溝 2 7 の内部に第 3 配線層の配線 2 8 を形成する。配線 2 8 はバリアメタル層および主導電層である銅膜からなり、この配線 2 8 と下層配線である配線 2 1 とを接続する接続部材は、配線 2 8 と一体に形成される。配線 2 8 の形成方法は、たとえば以下のように行う。

【 0 0 8 5 】

まず、図 1 6 に示すように、接続孔 2 6 および配線溝 2 7 の内部を含む半導体基板 1 の全面にバリアメタル層 2 9 を形成する。バリアメタル層 2 9 は、たとえば窒化チタン、タンタル、窒化タンタル等である。次に、バリアメタル層 2 9 上に銅のシード層（図示せず）を、たとえば C V D 法またはスパッタ法により形成した後、銅のメッキ層 2 8 a を形成する。メッキ法は電解メッキ、無電解めっきのいずれの方法を用いてもよい。メッキ層 2 8 a の膜厚は基板平面上で約 6 0 0 n m 程度とする。これにより接続孔 2 6 および配線溝 2 7 を同時に埋め込む。なお、本実施の形態 1 では、メッキ法による銅膜（メッキ層 2 8 a）の形成を示したが、スパッタ法により形成してもよい。この場合、上記シード層は必要ではない。スパッタ法により銅膜を形成する場合には、接続孔 2 6 および配線溝 2 7 に銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。

【 0 0 8 6 】

次に、図 1 7 に示すように、CMP 法を用いてメッキ層 2 8 a およびシード層を研磨する。銅は研磨速度が大きいので、まず先に銅の部分が除去される。さらに研磨を継続し、絶縁膜 2 5 上のバリアメタル層 2 9 も除去する。これにより配線溝 2 7 以外の領域の銅膜（メッキ層 2 8 a およびシード層）およびバリアメタ

ル層 2 9 が除外されて、接続部材と一体に形成された配線 2 8 が形成される。

【 0 0 8 7 】

次に、図 1 8 に示すように、絶縁膜 2 5 および配線 2 8 上に、キャップ絶縁膜 3 0、層間絶縁膜 3 1、配線形成用のストッパ絶縁膜 3 2、配線形成用の絶縁膜 3 3 を順次形成する。これらの絶縁膜 3 0 ~ 3 3 については、各々前記ストッパ絶縁膜 2 2、層間絶縁膜 2 3、配線形成用のストッパ絶縁膜 2 4、配線形成用の絶縁膜 2 5 と同様であり、層間絶縁膜 3 1 は、たとえば膜厚約 5 0 0 n m 程度の Si O F 膜、絶縁膜 3 3 は、たとえば膜厚約 2 0 0 n m 程度のシリコン酸化膜で構成される。また、キャップ絶縁膜 3 0 および層間絶縁膜 3 1 に接続孔 3 4 を、ストッパ絶縁膜 3 2 および絶縁膜 3 3 に配線溝 3 5 を前記第 3 配線層の場合と同様に形成する。上記接続孔 3 4 の孔径は、たとえば約 0 . 2 5 μ m 程度である。さらに、第 3 配線層の配線 2 8 と同様に、接続部材と一体に形成された第 4 配線層の配線 3 6 を形成する。

【 0 0 8 8 】

次に、図 1 9 に示すように、絶縁膜 3 3 および配線 3 6 上に、キャップ絶縁膜 3 7、層間絶縁膜 3 8、配線形成用のストッパ絶縁膜 3 9、配線形成用の絶縁膜 4 0 を順次形成する。これらの絶縁膜 3 7 ~ 4 0 については、各々前記ストッパ絶縁膜 2 2、層間絶縁膜 2 3、配線形成用のストッパ絶縁膜 2 4、配線形成用の絶縁膜 2 5 と同様であり、層間絶縁膜 3 8 は、たとえば膜厚約 5 0 0 n m 程度の Si O F 膜、絶縁膜 3 3 は、たとえば膜厚約 2 0 0 n m 程度のシリコン酸化膜で構成される。また、キャップ絶縁膜 3 7 および層間絶縁膜 3 8 に接続孔 4 1 を、ストッパ絶縁膜 3 9 および絶縁膜 4 0 に配線溝 4 2 を前記第 3 配線層の場合と同様に形成する。上記接続孔 4 1 の孔径は、たとえば 0 . 5 μ m 程度である。さらに、第 3 配線層の配線 2 8 と同様に、接続部材と一体に形成された第 5 配線層の配線 4 3 を形成する。

【 0 0 8 9 】

次に、図 2 0 に示すように、絶縁膜 4 0 および配線 4 3 上に、絶縁膜 4 4 を形成した後、配線 4 3 に達する接続孔 4 5 を絶縁膜 4 4 に形成する。接続孔 4 5 の孔径は、たとえば 0 . 7 5 μ m 程度である。次に、接続孔 4 5 の内部を含む半導

体基板 1 の全面に窒化チタン膜を、たとえば C V D 法により形成し、続いて接続孔 4 5 を埋め込むタングステン膜を、たとえば C V D 法により形成する。次いで、接続孔 4 5 以外の領域の窒化チタン膜およびタングステン膜を、たとえば C M P 法により除去してプラグ 4 6 を形成する。

【 0 0 9 0 】

次に、半導体基板 1 の全面に、たとえばアルミニウム膜を形成し、このアルミニウム膜をフォトリソグラフィ技術によりパターニングし、最上層配線である第 6 配線層の配線 4 7 を形成する。その後、パッシベーション膜 4 8 で半導体基板 1 の全面を覆うことにより、前記図 1 に示した半導体装置が略完成する。

【 0 0 9 1 】

なお、本実施の形態 1 では、第 6 配線層からなる多層配線を有する半導体装置に適用したが、配線層数にかかわらず、デュアルダマシンの形成される任意の配線層に適用することは可能である。

【 0 0 9 2 】

このように、本実施の形態 1 によれば、配線溝を取り囲む配線層間膜をヤング率が 6 0 G P a 以上の C V D 法で形成される絶縁材料、たとえばシリコン酸化膜で構成し、接続孔を取り囲むビア層間膜をヤング率が 6 0 G P a 未満の C V D 法で形成される絶縁材料、たとえば S i O F 膜で構成する。これにより、室温から 5 0 0 ° C 程度の昇温において接続孔内で銅の体積が膨張しても、これに追従したビア層間膜の弾性変形が起こり、また配線層間膜が銅の体積膨張を抑える働きをすることから、接続孔の内部の銅が配線溝の内部の銅へ吸収されるのを抑制することができる。

【 0 0 9 3 】

また、ビア層間膜を構成する S i O F 膜は、比誘電率が約 3 . 6 程度と、シリコン酸化膜の比誘電率と比較して小さいことから、ビア層間膜にシリコン酸化膜を用いるよりも、配線容量を低減することができる。

【 0 0 9 4 】

また、配線層間膜およびビア層間膜は、C V D 法で成膜された無機絶縁材料で構成されることから、接続孔および配線溝の加工工程において、従来のドライエ

ッチング法の延長線上のプロセス技術を適用することができる。

【0095】

(実施の形態2)

【0096】

【表2】

表 2

世代		第2世代		
配線層間膜 (ヤング率: Y2)		SiOF (50GPa)		
ビア層間膜 (ヤング率: Y1)		SiLK (10GPa)		
ストップ絶縁膜		SiN	SiC	なし
接続孔の孔径: R		0.18 μ m		
指標	R/Y1	18.0		
	Y2-Y1	40		
配線容量		3.9	3.7	3.5

【0097】

表2に、本実施の形態2におけるデュアルダマシン構造の各々の絶縁膜材料および評価指標等を前記表1と同様にまとめる。また、図21に、本実施の形態2を適用したデュアルダマシン配線の要部断面図の一例を示す。本実施の形態2では、第2世代として上下配線層をつなぐ接続孔の孔径が、約0.2 μ m以下のデュアルダマシン配線に適用される各々の絶縁材料を示しており、配線層間膜はヤング率が30GPa以上の絶縁材料であって、CVD法で形成される絶縁材料で構成され、ビア層間膜はヤング率が30GPa未満の絶縁材料であって、CVD法または塗布法で形成される絶縁材料で構成される。

【0098】

表2および図21には、配線層間膜をヤング率が約50GPa程度、比誘電率が約3.6程度のSiOF膜、ビア層間膜をヤング率が約10GPa程度、比誘

電率が約 2.7～2.8 程度の P A E (poly aryleneether) 系材料、たとえば S i L K 膜としたデュアルダマシン配線を例示している。S i O F 膜は、たとえば C V D 法で形成され、S i L K 膜は、たとえば塗布法で形成される。ストッパ絶縁膜およびキャップ絶縁膜には、S i O F 膜および S i L K 膜に対してストッパ機能を有するシリコン窒化膜が用いられる。

【 0 0 9 9 】

なお、評価指標等をまとめるにあたり、接続孔の孔径が $0.18\ \mu\text{m}$ のデュアルダマシン配線を用いたが、 $0.18\ \mu\text{m}$ 以外の孔径の接続孔を有するデュアルダマシン配線にも適用できることは言うまでもない。

【 0 1 0 0 】

また、配線層間膜には、S i O F 膜に代えてシリコン酸化膜を用いることができる。さらに、ビア層間膜には、S i L K 膜に代えて、他の P A E 系材料（たとえば F L A R E 膜）、B C B (benzocyclobutene) 系材料、H S Q (hydrogen silsesquioxane)、M S Q (methyl silsesquioxane) 系材料等の塗布法で形成される低誘電率膜、あるいは S i O C 系材料、C F 系材料等の C V D 法で形成される低誘電率膜を用いることができる。

【 0 1 0 1 】

表 2 に示すように、配線層間膜を S i O F 膜で構成し、ビア層間膜を S i L K 膜で構成することにより、指標：R/Y1 は 18.0、指標：Y2-Y1 は 40 となる。従って、接続孔の孔径が $0.18\ \mu\text{m}$ のデュアルダマシン構造において、デュアルダマシン配線の劣化を抑制できると考えられる。さらに、比誘電率が約 3.6 程度の S i O F 膜を配線層間膜に用い、比誘電率が約 2.7～2.8 程度の S i L K 膜をビア層間膜に用いることにより、配線容量を前記実施の形態 1 に示した第 1 世代の 4.5 から 3.9 へ低減することができる。

【 0 1 0 2 】

図 2 2 に、本実施の形態 2 におけるデュアルダマシン配線の第 1 の変形例を示す。ストッパ絶縁膜は、配線層間膜 (S i O F 膜) またはビア層間膜 (S i L K 膜)、あるいはこれら両者に対してエッチング選択比を有する材料で構成され、前記図 2 1 に示したデュアルダマシン配線では、シリコン窒化膜が例示された。

しかし、シリコン窒化膜の比誘電率は約 7 程度と相対的に高いことから、配線容量を低減することを考慮すれば、ストップ機能を有する低誘電率膜であることが望ましい。図 2 2 には、比誘電率が約 4 程度の SiC 膜をストップ絶縁膜に用いたデュアルダマシン構造を示す。ストップ絶縁膜を SiC 膜で構成することにより、ストップ絶縁膜をシリコン窒化膜で構成した場合よりも配線容量を 3.9 から 3.7 へと低減することができる。

【0103】

さらに、図 2 3 に、本実施の形態 2 におけるデュアルダマシン配線の第 2 の変形例を示す。ここでは、ストップ絶縁膜を用いずに配線容量を低減したデュアルダマシン配線が示されている。ストップ絶縁膜を用いないことにより、シリコン窒化膜からなるストップ絶縁膜を用いた場合よりも配線容量を 3.9 から 3.5 へと低減することができる。

【0104】

このように、本実施の形態 2 によれば、配線溝を取り囲む配線層間膜をヤング率が 30 GPa 以上の CVD 法で形成される絶縁材料、たとえば SiOF 膜で構成し、接続孔を取り囲むビア層間膜をヤング率が 30 GPa 未満の CVD 法または塗布法で形成される絶縁材料、たとえば SiLK 膜で構成する。これにより、約 0.18 μ m 程度の孔径を有する接続孔においても、銅の体積膨張に追従したビア層間膜の弾性変形が起こりやすくなり、接続孔の内部の銅が配線溝の内部の銅へ吸収されるのを抑制することができる。

【0105】

また、配線層間膜を構成する SiOF 膜の比誘電率は約 3.6 程度、ビア層間膜を構成する SiLK 膜の比誘電率は約 2.7 ~ 2.8 程度であることから、前記実施の形態 1 よりも、さらに配線容量を低減することができる。

【0106】

(実施の形態 3)

【0107】

【表 3】

表 3

世代		第 3 世代	
配線層間膜 (ヤング率: Y2)		SiLK (10GPa)	
ビア層間膜 (ヤング率: Y1)		Nanoglass (2GPa)	
ストッパ絶縁膜		SiC	なし
接続孔の孔径: R		0.12 μ m	
指標	R/Y1	60.0	
	Y2-Y1	8	
配線容量		3.4	3.2

【0108】

表 3 に、本実施の形態 3 におけるデュアルダマシン構造の各々の絶縁膜材料および評価指標等を前記表 1 と同様にまとめる。また、図 2 4 に、本実施の形態 3 を適用したデュアルダマシン配線の要部断面図の一例を示す。本実施の形態 3 では、第 3 世代として上下配線層をつなぐ接続孔の孔径が、約 0.13 μ m 以下のデュアルダマシン配線に適用される各々の絶縁材料を示しており、配線層間膜はヤング率が 6 G P a 以上の絶縁材料であって、C V D 法または塗布法で形成される絶縁材料で構成され、ビア層間膜はヤング率が 6 G P a 未満の絶縁材料であって、塗布法で形成される絶縁材料で構成される。

【0109】

表 3 および図 2 4 には、配線層間膜をヤング率が約 10 G P a 程度、比誘電率が約 2.7 ~ 2.8 程度の P A E 系材料、たとえば S i L K 膜、ビア層間膜をヤング率が約 2 程度、比誘電率が約 2.2 程度のポーラス H S G 系材料、たとえば Nanoglass 膜としたデュアルダマシン配線を例示している。S i L K 膜および Nanoglass 膜は、たとえば塗布法で形成される。ストッパ絶縁膜およびキャップ絶縁膜

には、S i L K 膜およびNanoglass膜に対してストッパ機能を有するシリコン酸化膜が用いられる。

【 0 1 1 0 】

なお、評価指標等をまとめるにあたり、接続孔の孔径が $0.12\mu\text{m}$ のデュアルダマシン配線を用いたが、 $0.12\mu\text{m}$ 以外の孔径の接続孔を有するデュアルダマシン配線にも適用できることは言うまでもない。また、配線層間膜をS i L K 膜のみで構成したが、シリコン酸化膜とS i L K 膜との積層膜で構成してもよい。

【 0 1 1 1 】

また、配線層間膜には、S i L K 膜に代えて、他のP A E 系材料（たとえばF L A R E 膜）、B C B 系材料、H S Q、M S Q 系材料等の塗布法で形成される低誘電率膜、あるいはS i O C 系材料、C F 系材料等のC V D 法で形成される低誘電率膜を用いることができる。

【 0 1 1 2 】

表 3 に示すように、配線層間膜をS i L K 膜で構成し、ビア層間膜をNanoglass膜で構成することにより、指標：R / Y 1 は6 0 . 0、指標：Y 2 - Y 1 は8 となる。従って、接続孔の孔径が $0.12\mu\text{m}$ のデュアルダマシン構造において、デュアルダマシン配線の劣化を抑制できると考えられる。さらに、比誘電率が約2 . 7 ~ 2 . 8 程度のS i L K 膜を配線層間膜に用い、比誘電率が約2 . 2 程度のNanoglass膜をビア層間膜に用い、比誘電率が約4 . 3 程度のシリコン酸化膜をストッパ絶縁膜およびキャップ絶縁膜に用いることにより、配線容量を前記実施の形態 2 に示した第 2 世代の3 . 9 から3 . 4 へ低減することができる。

【 0 1 1 3 】

さらに、図 2 5 に、本実施の形態 3 におけるデュアルダマシン配線の変形例を示す。ストッパ絶縁膜は、配線層間膜（S i L K 膜）またはビア層間膜（Nanoglass膜）、あるいはこれら両者に対してエッチング選択比を有する材料で構成され、前記図 2 4 に示した配線では、シリコン酸化膜が例示された。ここでは、ストッパ絶縁膜を用いずに配線容量を低減したデュアルダマシン配線が示されている。ストッパ絶縁膜を用いないことにより、シリコン酸化膜からなるストッパ絶

縁膜を用いた場合よりも配線容量を 3.4 から 3.2 へと低減することができる。

【0114】

【表 4】

表 4

	材質	ヤング率 (GPa)	比誘電率
層間膜	SiO ₂	70	4.3
	SiOF	50	3.6
	PAE系材料 (SiLK, FLARE) BCB系材料 HSG系材料	~10	2.7~2.8
	ポーラスHSQ系材料 (Nanoglass)	2	2.2
ストッパ絶縁膜	SiN	—	7
	SiC	—	5

【0115】

表 4 に、配線層間膜またはビア層間膜に用いられる各種絶縁膜のヤング率および比誘電率をまとめる。

【0116】

このように、本実施の形態 3 によれば、配線溝を取り囲む配線層間膜をヤング率が 6 GPa 以上の CVD 法または塗布法で形成される絶縁材料、たとえば SiLK 膜で構成し、接続孔を取り囲むビア層間膜をヤング率が 6 GPa 未満の塗布法で形成される絶縁材料、たとえば Nanoglass 膜で構成する。これにより、約 0.12 μ m 程度の孔径を有する接続孔においても、銅の体積膨張に追従したビア層間膜の弾性変形が起こりやすくなり、接続孔の内部の銅が配線溝の内部の銅へ吸収されるのを抑制することができる。

【0117】

また、配線層間膜を構成する SiLK 膜の比誘電率は約 2.7~2.8 程度、ビ

ア層間膜を構成するNanoglass膜の比誘電率は約2程度であることから、前記実施の形態2よりも、さらに配線容量を低減することができる。

【0118】

(実施の形態4)

図26は、本実施の形態4である半導体装置を示す半導体基板の要部断面図である。第1配線層をシングルダマシン配線で構成し、第2配線層から第5配線層をデュアルダマシン配線で構成した多層配線構造の一例を示す。第3配線層から第6配線層は、前記実施の形態1と同様である。

【0119】

nチャネルMISFETのn型半導体領域9およびpチャネルMISFETのp型半導体領域10上の第1層間絶縁膜11の必要部分に形成された接続孔49内には、たとえばタングステン膜からなるプラグ50が埋め込まれている。プラグ50の上層には、ストッパ絶縁膜51、さらに配線形成用の絶縁膜52が形成されている。ストッパ絶縁膜51は、絶縁膜52への溝加工の際にエッチングストッパとなる膜であり、絶縁膜52に対してエッチング選択比を有する材料を用いる。ストッパ絶縁膜51は、たとえばシリコン窒化膜である。ストッパ絶縁膜51および絶縁膜52には、上記プラグ50に達する配線溝53が形成されている。配線溝53内には、たとえばタングステン膜からなる第1配線層の配線54が埋め込まれている。

【0120】

第1配線層の配線54の上層には、キャップ絶縁膜55、層間絶縁膜56、配線形成用のストッパ絶縁膜57、配線形成用の絶縁膜58が順次形成されている。これらの絶縁膜55～58については、各々前記実施の形態1のストッパ絶縁膜22、層間絶縁膜23、配線形成用のストッパ絶縁膜24、配線形成用の絶縁膜25と同様であり、層間絶縁膜56は、たとえば膜厚約500nm程度のSiOF膜、絶縁膜58は、たとえば膜厚約200nm程度のシリコン酸化膜で構成される。また、キャップ絶縁膜55および層間絶縁膜56に接続孔59、ストッパ絶縁膜57および絶縁膜58に配線溝60が形成されている。上記接続孔59の孔径は、たとえば約0.25 μ m程度である。さらに、接続部材と一体に形成

された第2配線層の配線61が形成されている。

【0121】

このように、本実施の形態4によれば、第2配線層から第5配線層を本発明のデュアルダマシン配線で構成することにより、前記実施の形態1よりも、配線容量を低減することができる。

【0122】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0123】

たとえば、前記実施の形態では、接続孔の孔径が約 $0.25 \sim 0.5 \mu\text{m}$ 程度のデュアルダマシン構造では、たとえば配線層間膜にシリコン酸化膜、ビア層間膜にSiOF膜を適用し、接続孔の孔径が約 $0.18 \mu\text{m}$ 程度のデュアルダマシン構造では、たとえば配線層間膜にSiOF膜、ビア層間膜にSiLK膜を適用し、接続孔の孔径が約 $0.12 \mu\text{m}$ 程度のデュアルダマシン構造では、たとえば配線層間膜にSiLK膜、ビア層間膜にNanoglass膜を例示したが、配線層間材料とビア層間材料との組み合わせはこれに限られるものではなく、それぞれの世代における熱処理やエッチング等のプロセス、または配線容量などを考慮し、配線層間材料およびビア層間材料を種々選択することは可能である。

【0124】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0125】

本発明によれば、熱ストレスによってデュアルダマシン配線の接続孔内部において接続部材の膨張、収縮が生じて、これに追従してビア層間膜が弾性変形しやすくなるので、接続孔内部でのボイドの生成を防ぐことができる。これにより、接続孔内部での抵抗の上昇が抑えられて、デュアルダマシン配線の耐熱性およびエレクトロマイグレーション耐性を向上することができる。さらに、低誘電率

材料をビア層間膜または配線層間膜に用いることで、配線容量を低減することができる。これにより、配線遅延を回避することができる。

【 0 1 2 6 】

従って、本発明によれば、微細配線に適合した配線構造または配線構造の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 である半導体装置を示す半導体基板の要部断面図である。

【図 2】

本発明の実施の形態 1 であるデュアルダマシン配線の要部平面図の一例である。

【図 3】

本発明の実施の形態 1 であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 4】

本発明の実施の形態 1 であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 5】

本発明の実施の形態 1 であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 6】

本発明の実施の形態 1 であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 7】

本発明の実施の形態 1 であるデュアルダマシン配線の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 8】

本発明の実施の形態 1 であるデュアルダマシン配線の第 1 の変形例を示す半導

体基板の要部断面図である。

【図 9】

本発明の実施の形態 1 であるデュアルダマシン配線の第 2 の変形例を示す半導体基板の要部断面図である。

【図 1 0】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 1】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 2】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 3】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 4】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 5】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 6】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 7】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 8】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 1 9】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 2 0】

本発明の実施の形態 1 である半導体装置の製造方法の一例を工程順に示した半導体基板の要部断面図である。

【図 2 1】

本発明の実施の形態 2 であるデュアルダマシン配線を示す半導体基板の要部断面図である。

【図 2 2】

本発明の実施の形態 2 であるデュアルダマシン配線の第 1 の変形例を示す半導体基板の要部断面図である。

【図 2 3】

本発明の実施の形態 2 であるデュアルダマシン配線の第 2 の変形例を示す半導体基板の要部断面図である。

【図 2 4】

本発明の実施の形態 3 であるデュアルダマシン配線を示す半導体基板の要部断面図である。

【図 2 5】

本発明の実施の形態 3 であるデュアルダマシン配線の変形例を示す半導体基板の要部断面図である。

【図 2 6】

本発明の実施の形態 4 である半導体装置を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域

- 3 p ウェル
- 4 n ウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 キャップ絶縁膜
- 8 サイドウォールスペーサ
- 9 n 型半導体領域
- 1 0 p 型半導体領域
- 1 1 第 1 層間絶縁膜
- 1 2 接続孔
- 1 3 プラグ
- 1 4 配線 (第 1 配線層)
- 1 5 第 2 層間絶縁膜
- 1 6 接続孔
- 1 7 プラグ
- 1 8 ストップバ絶縁膜
- 1 9 絶縁膜
- 2 0 配線溝
- 2 1 配線 (第 2 配線層)
- 2 2 キャップ絶縁膜
- 2 3 層間絶縁膜
- 2 4 ストップバ絶縁膜
- 2 5 絶縁膜
- 2 6 接続孔
- 2 7 配線溝
- 2 8 配線 (第 3 配線層)
- 2 8 a メッキ層
- 2 9 バリアメタル層
- 3 0 キャップ絶縁膜

- 3 1 層間絶縁膜
- 3 2 ストップバ絶縁膜
- 3 3 絶縁膜
- 3 4 接続孔
- 3 5 配線溝
- 3 6 配線 (第 4 配線層)
- 3 7 キャップ絶縁膜
- 3 8 層間絶縁膜
- 3 9 ストップバ絶縁膜
- 4 0 絶縁膜
- 4 1 接続孔
- 4 2 配線溝
- 4 3 配線 (第 5 配線層)
- 4 4 絶縁膜
- 4 5 接続孔
- 4 6 プラグ
- 4 7 配線 (第 6 配線層)
- 4 8 パッシベーション膜
- 4 9 接続孔
- 5 0 プラグ
- 5 1 ストップバ絶縁膜
- 5 2 絶縁膜
- 5 3 配線溝
- 5 4 配線 (第 1 配線層)
- 5 5 キャップ絶縁膜
- 5 6 層間絶縁膜
- 5 7 ストップバ絶縁膜
- 5 8 絶縁膜
- 5 9 接続孔

6 0 配線溝

6 1 配線 (第 2 配線層)

P R 1 フォトレジスト膜

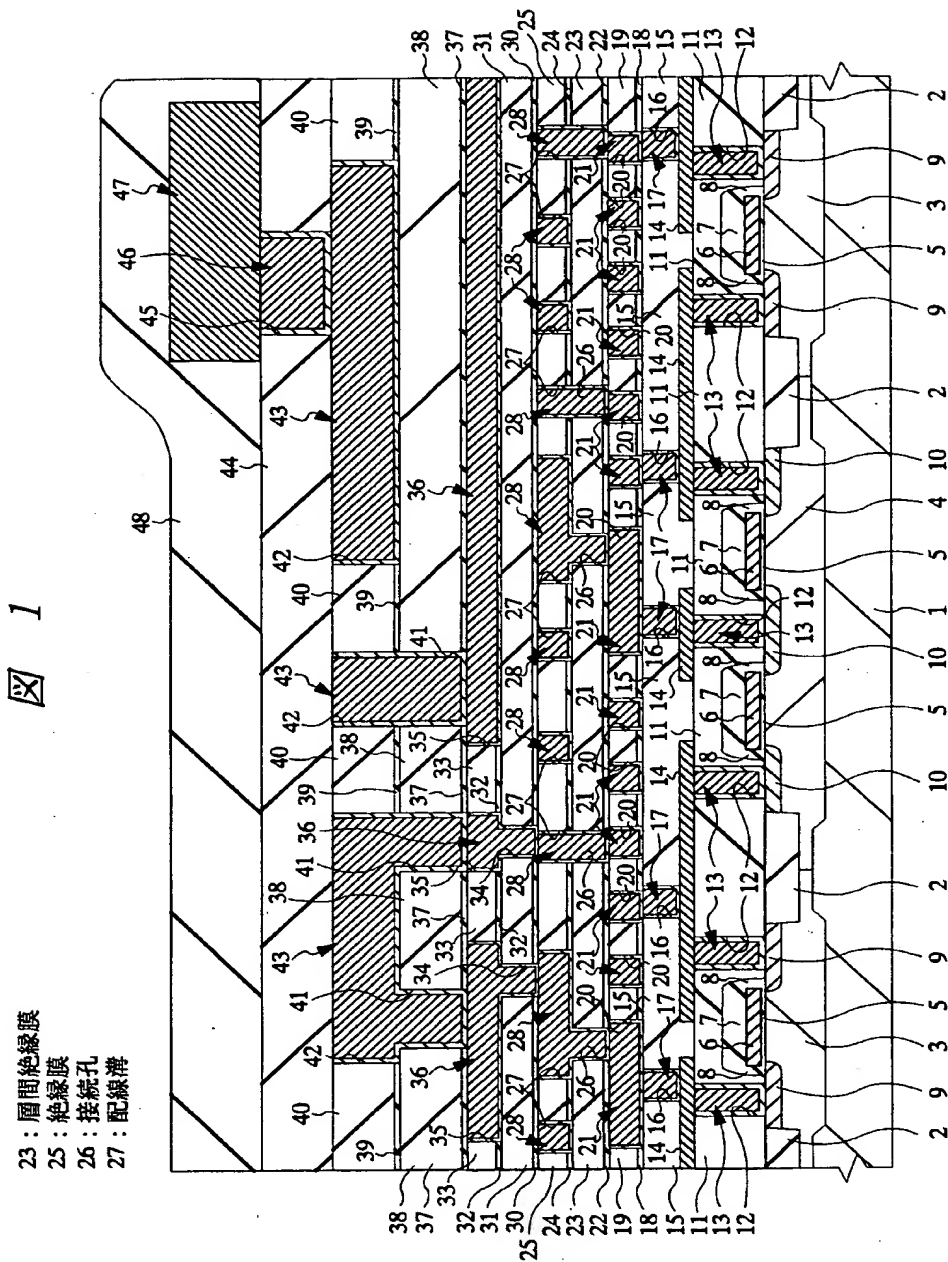
P R 2 フォトレジスト膜

B L バリアメタル層

M L メッキ層

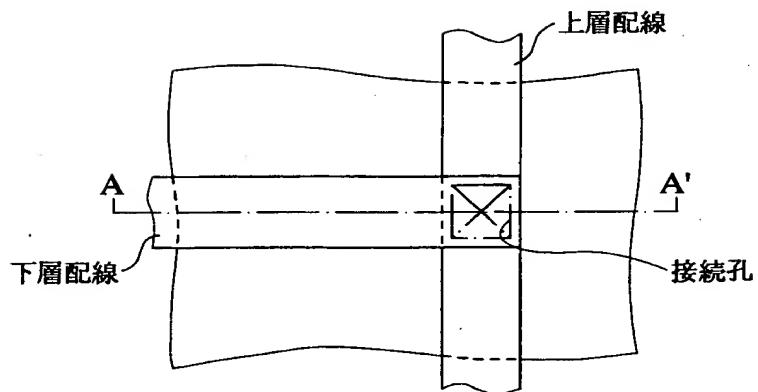
【書類名】 図面

【図 1】



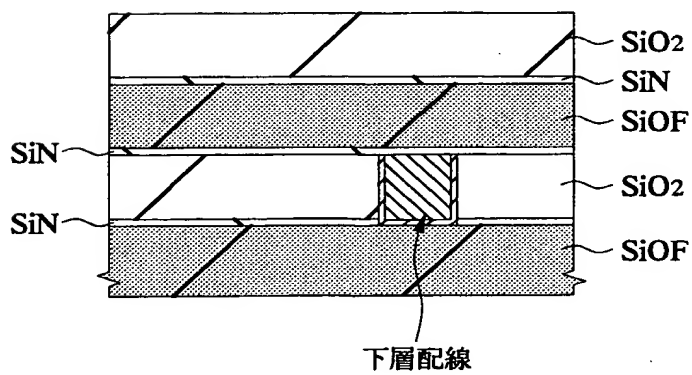
【図 2】

図 2

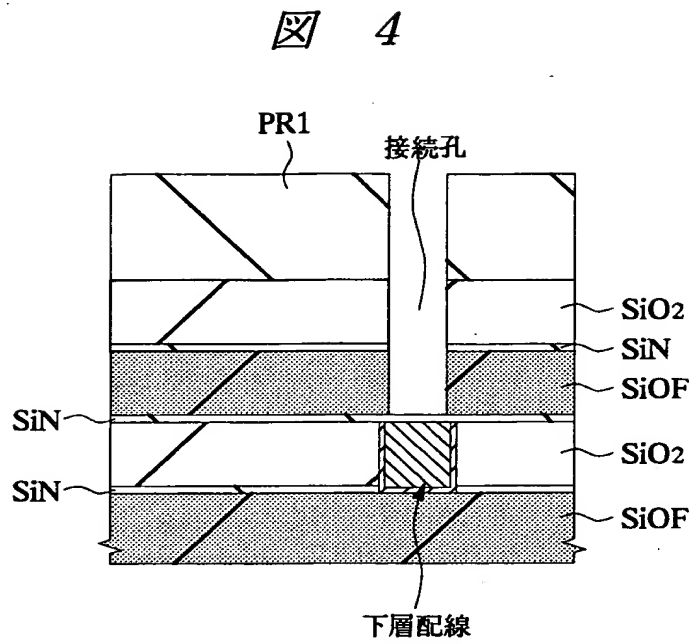


【図 3】

図 3

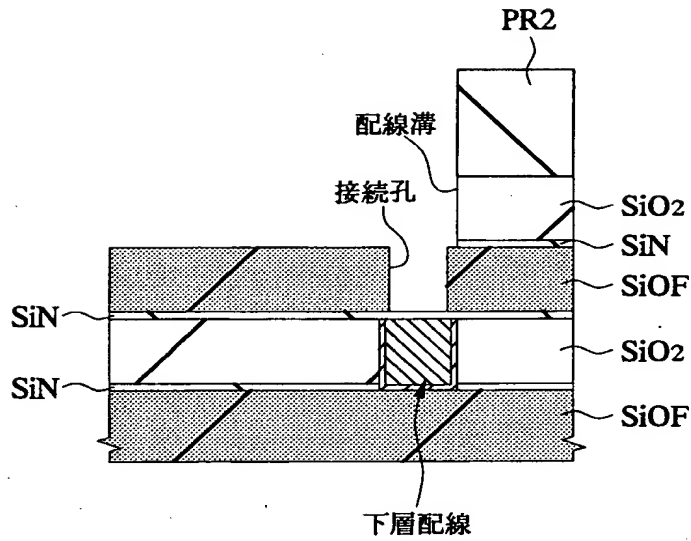


【図 4】



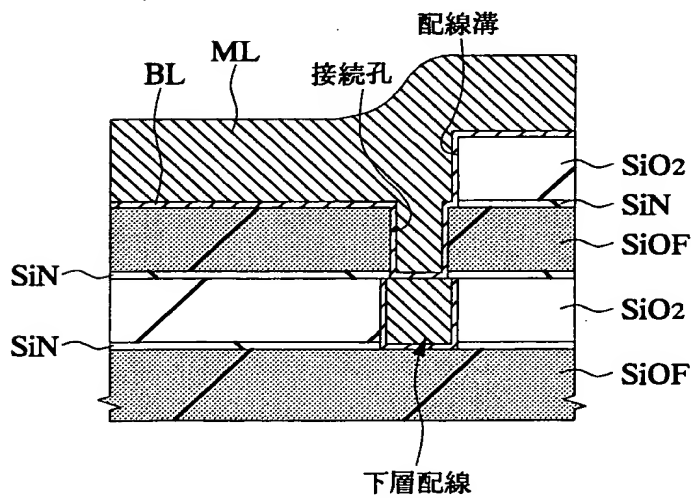
【図 5】

図 5



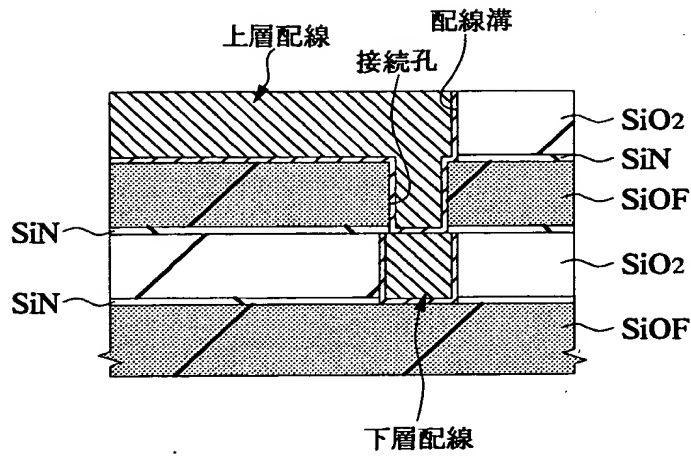
【図 6】

図 6



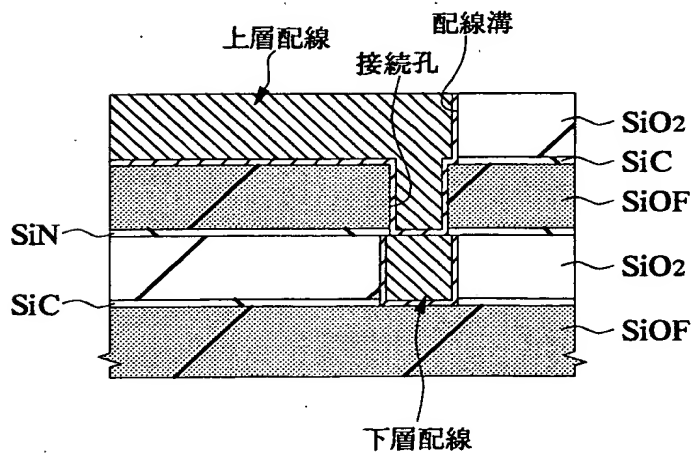
【図 7】

図 7



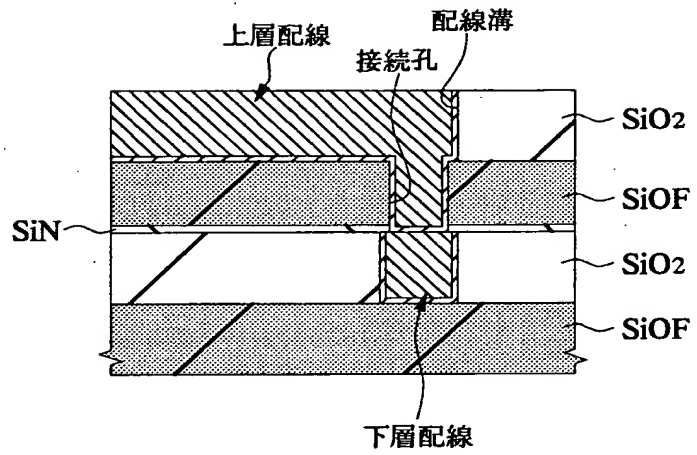
【図 8】

図 8



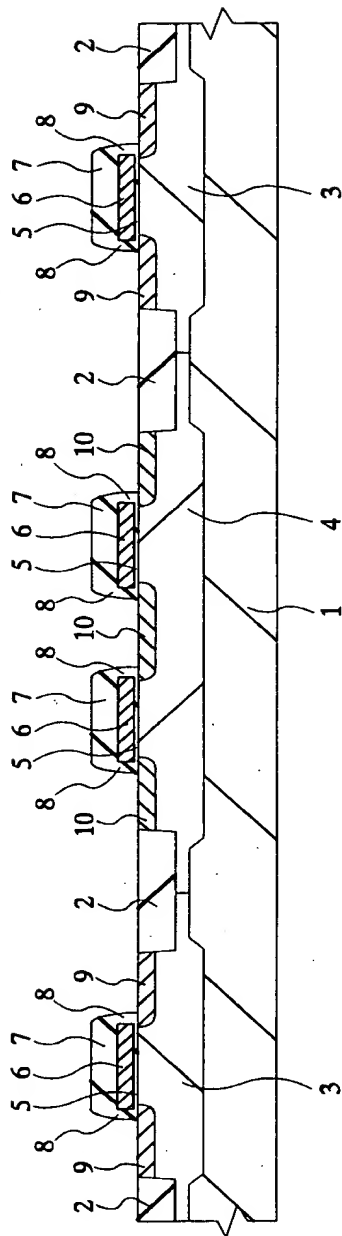
【図 9】

図 9



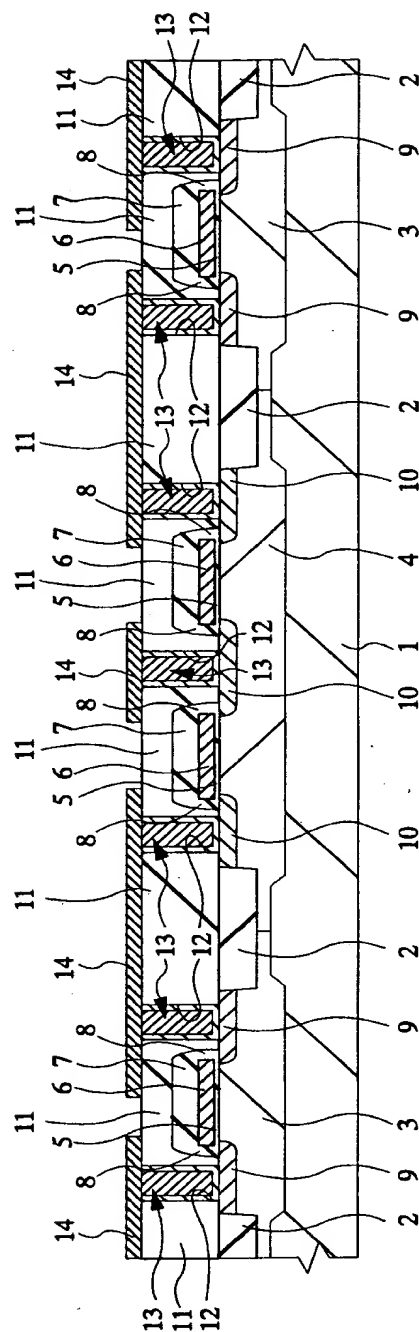
【図 10】

図 10



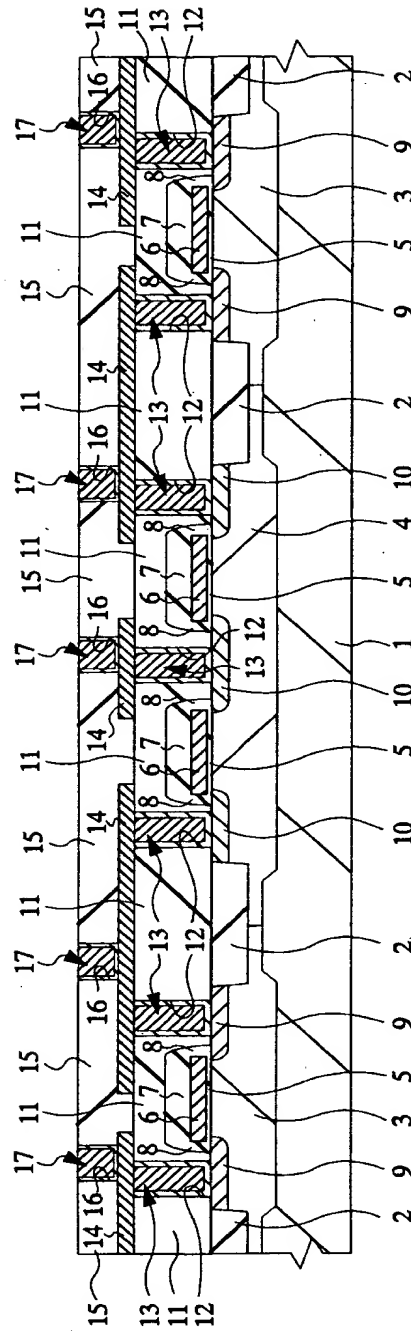
【図11】

図 11



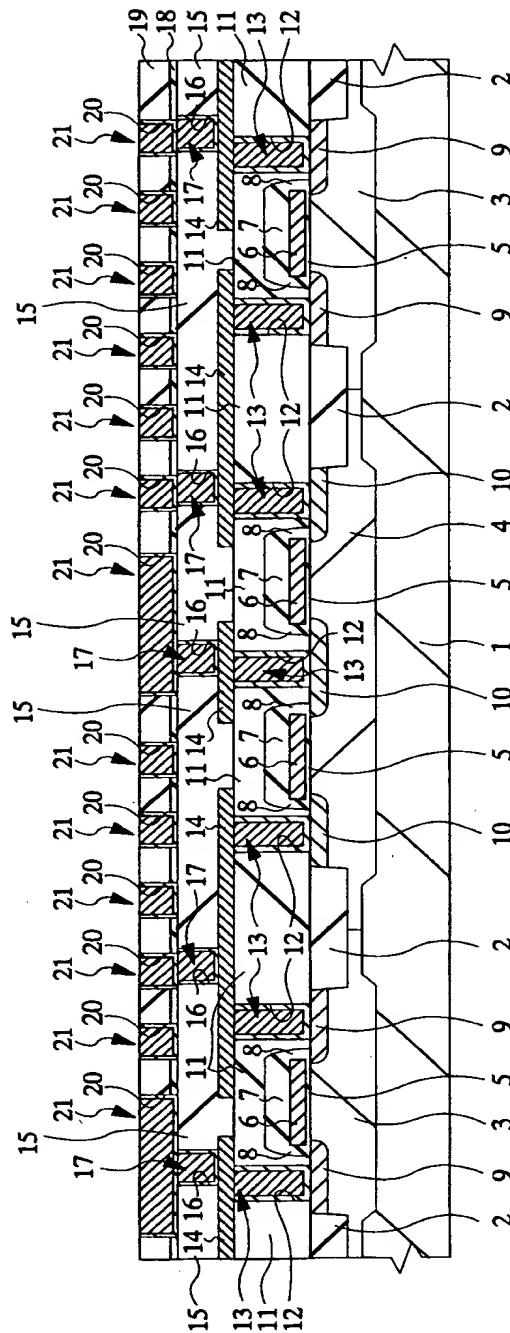
【図 12】

図 12



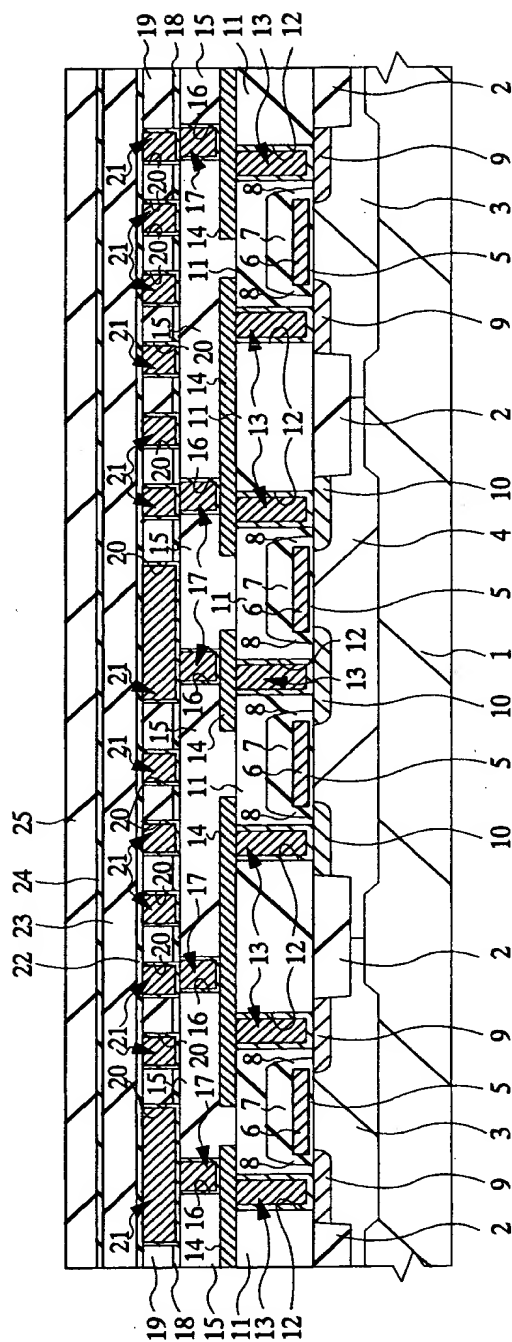
【図13】

13



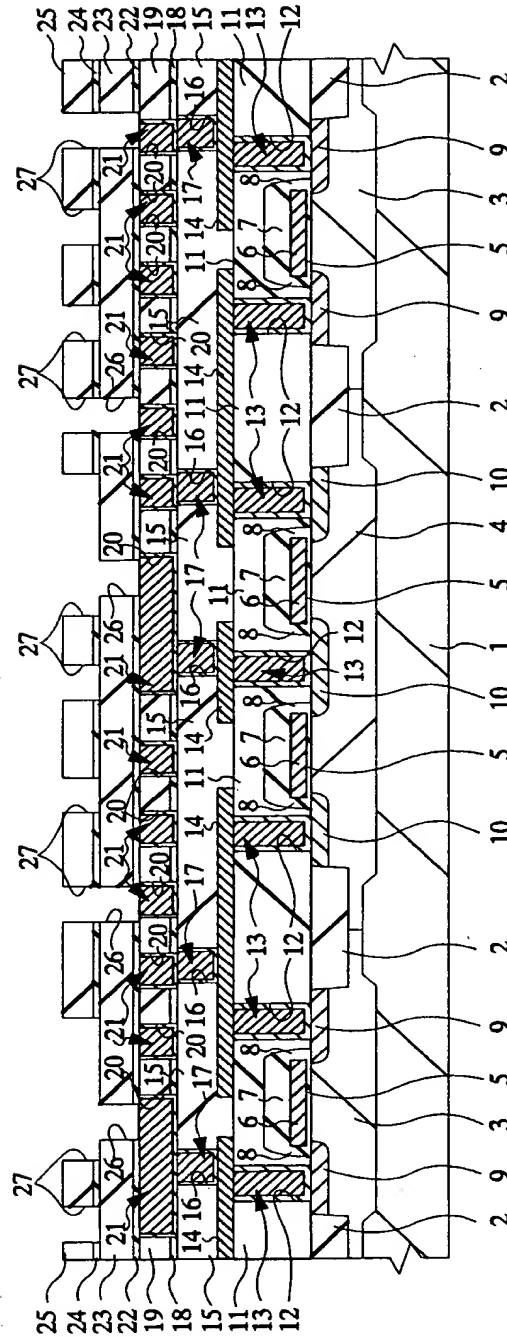
【図14】

図 14



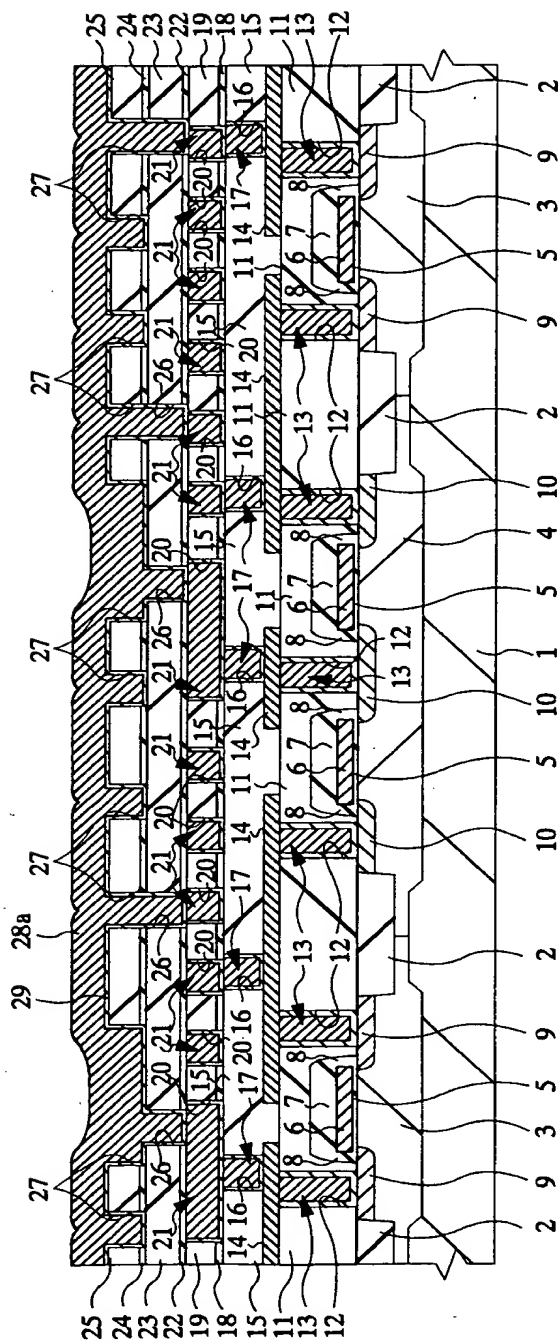
【図 1 5】

図 1 5



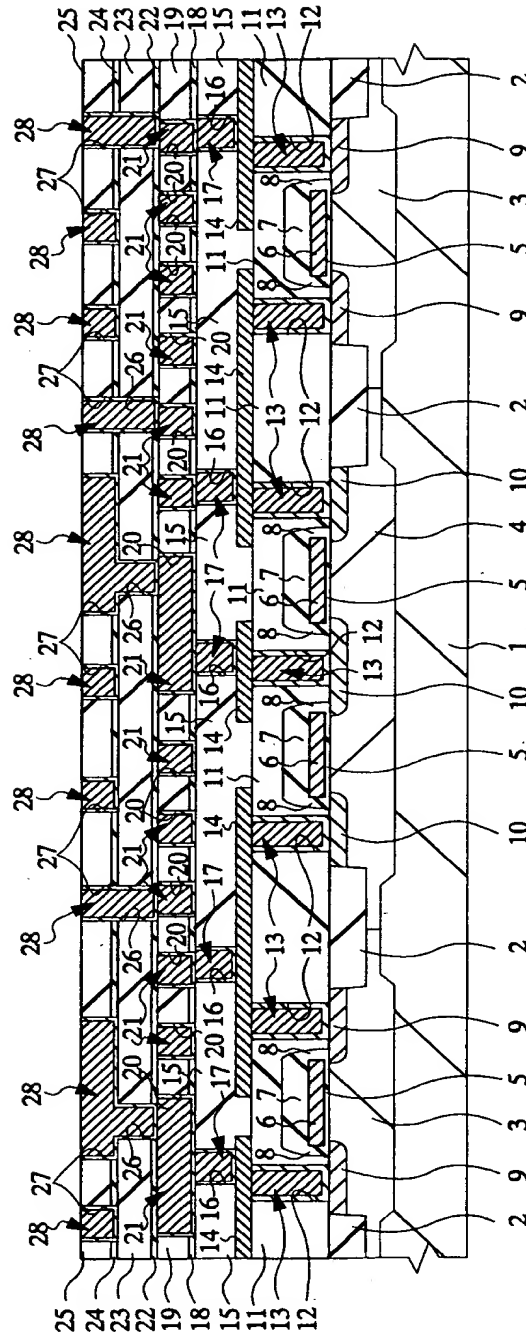
【図 16】

図 16



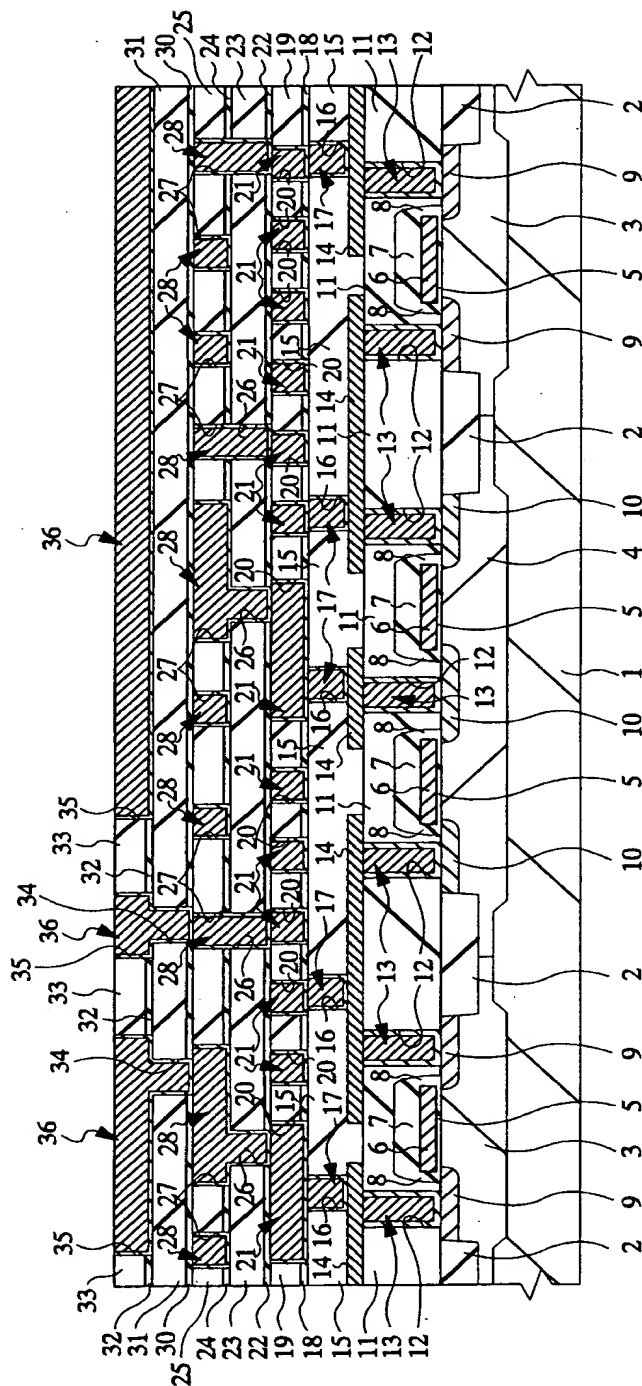
【図 17】

図 17



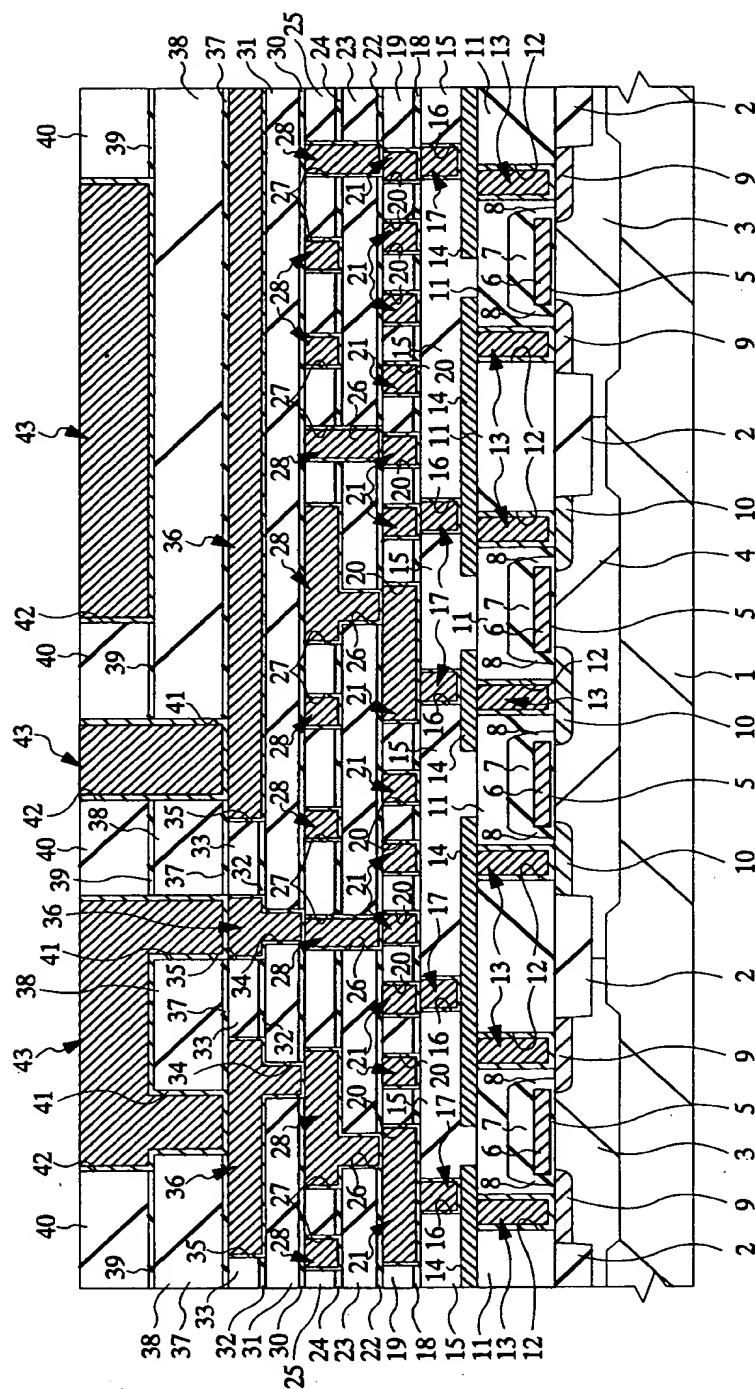
【図 18】

18



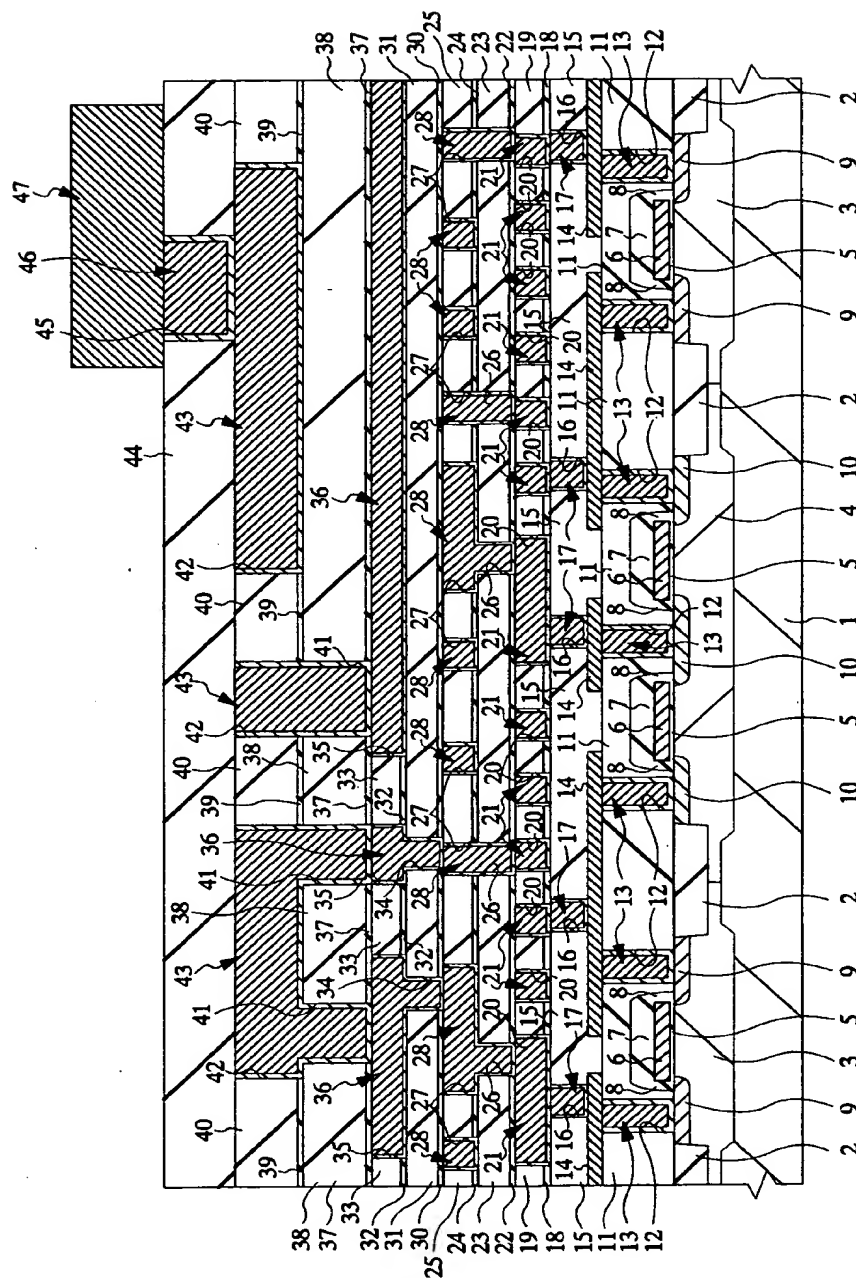
【図19】

19



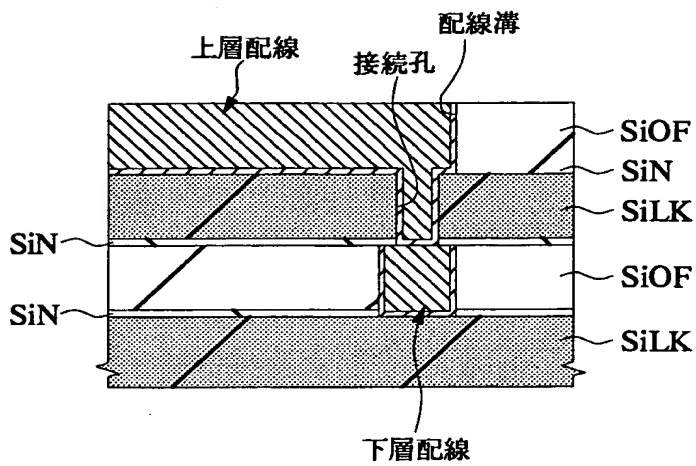
【図 20】

図 20



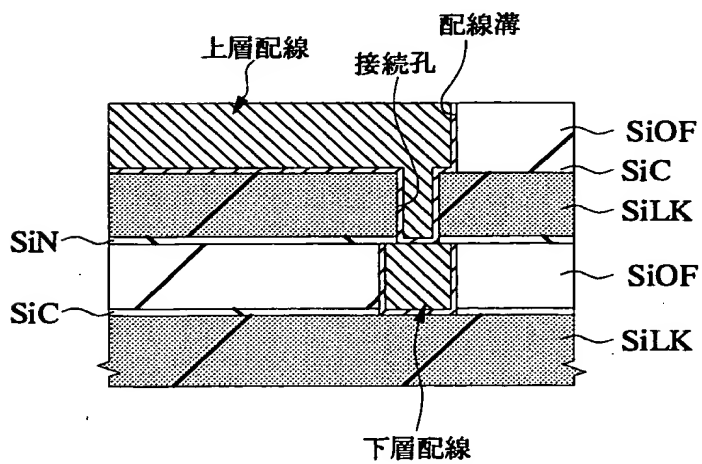
【図 2 1】

図 2 1



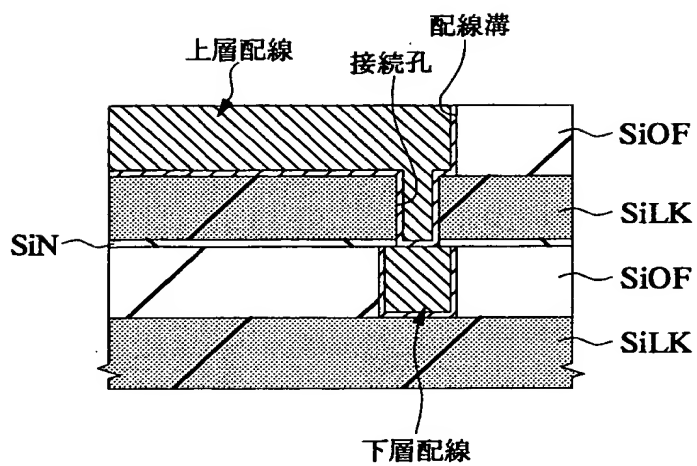
【図 2 2】

図 2 2



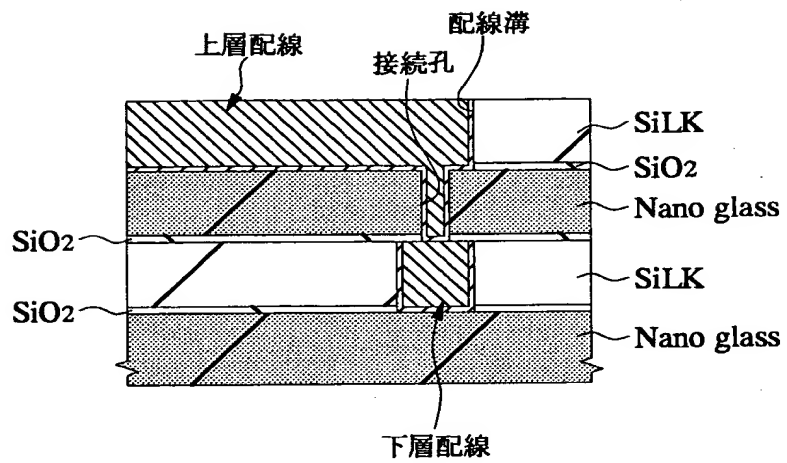
【図 23】

図 23



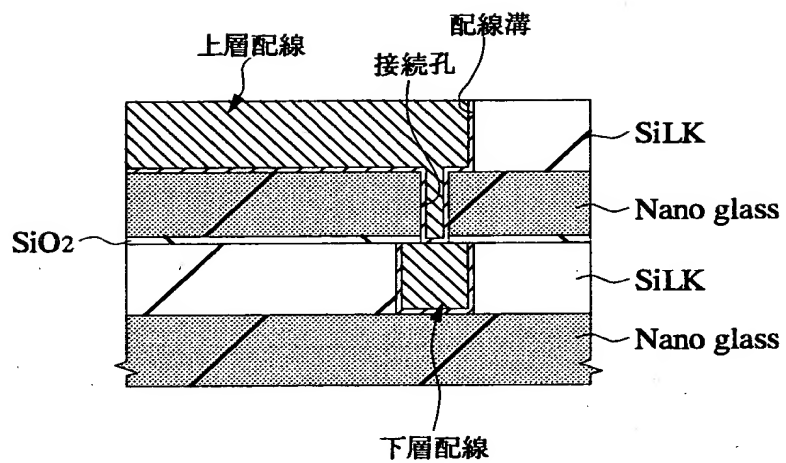
【図 2 4】

図 2 4



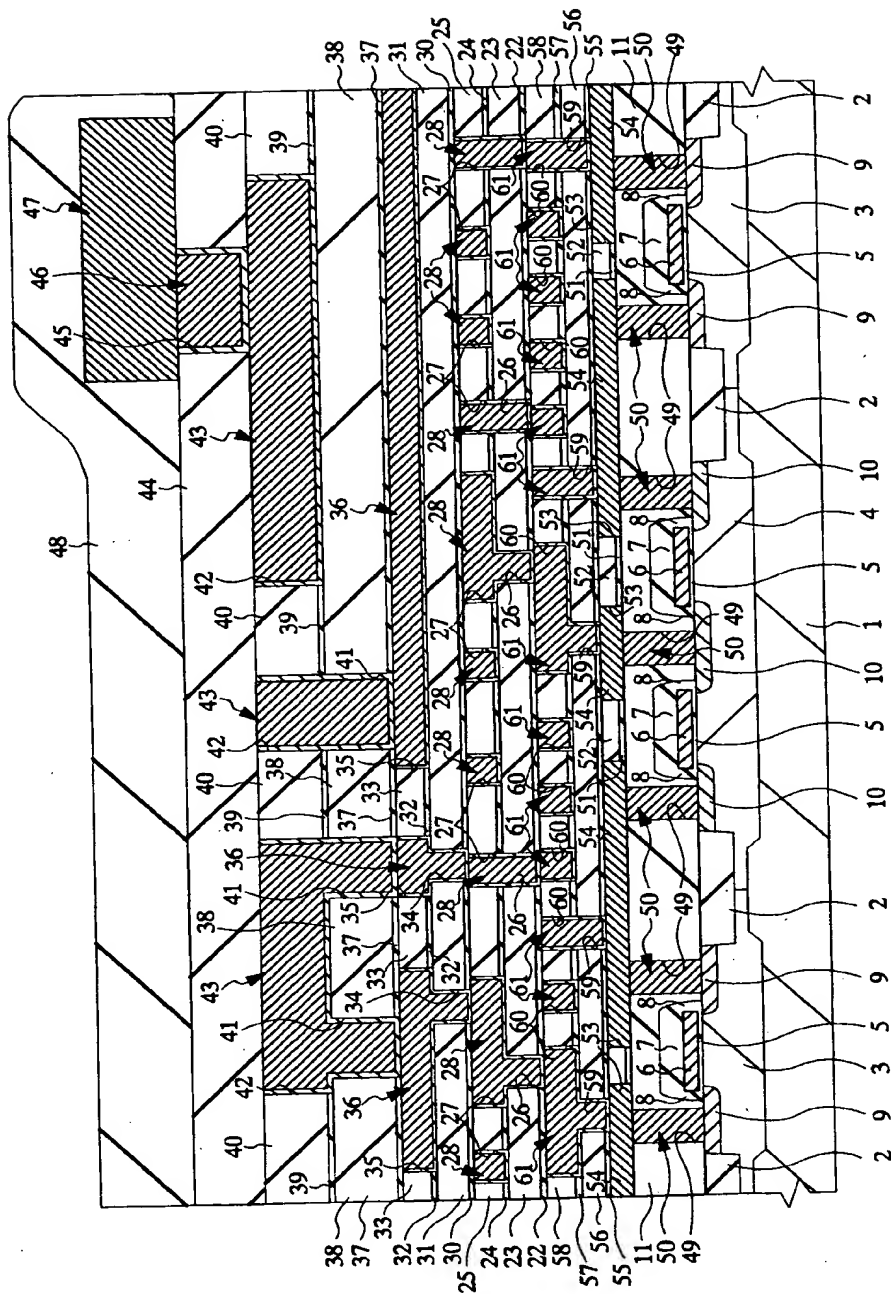
【図 2 5】

図 2 5



【図 26】

図 26



【書類名】 要約書

【要約】

【課題】 デュアルダマシン配線の耐熱性およびエレクトロマイグレーション耐性を向上することのできる技術を提供する。

【解決手段】 第2配線層の配線21と第3配線層の配線28とを接続するための接続孔26を取り囲む層間絶縁膜23を、配線溝27を取り囲む絶縁膜25を構成する絶縁材料が有するヤング率と比較して、相対的に小さいヤング率を有する絶縁材料で構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所